

(51) 国際特許分類6
H01L 29/78

A1

(11) 国際公開番号

WO00/05767

(43) 国際公開日

2000年2月3日(03.02.00)

(21) 国際出願番号 PCT/JP98/03289

(22) 国際出願日 1998年7月23日(23.07.98)

(71) 出願人 (米国を除くすべての指定国について)
三菱電機株式会社
(MITSUBISHI DENKI KABUSHIKI KAISHA)[JP/JP]
〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo, (JP).

(72) 発明者 ; および

(75) 発明者 / 出願人 (米国についてのみ)

新田哲也(NITTA, Tetsuya)[JP/JP]

湊 忠玄(MINATO, Tadaharu)[JP/JP]

上西明夫(UENISI, Akio)[JP/JP]

〒100-8310 東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内 Tokyo, (JP)

(74) 代理人

弁理士 深見久郎, 外(FUKAMI, Hisao et al.)

〒530-0054 大阪府大阪市北区南森町2丁目1番29号

住友銀行南森町ビル Osaka, (JP)

(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)

添付公開書類

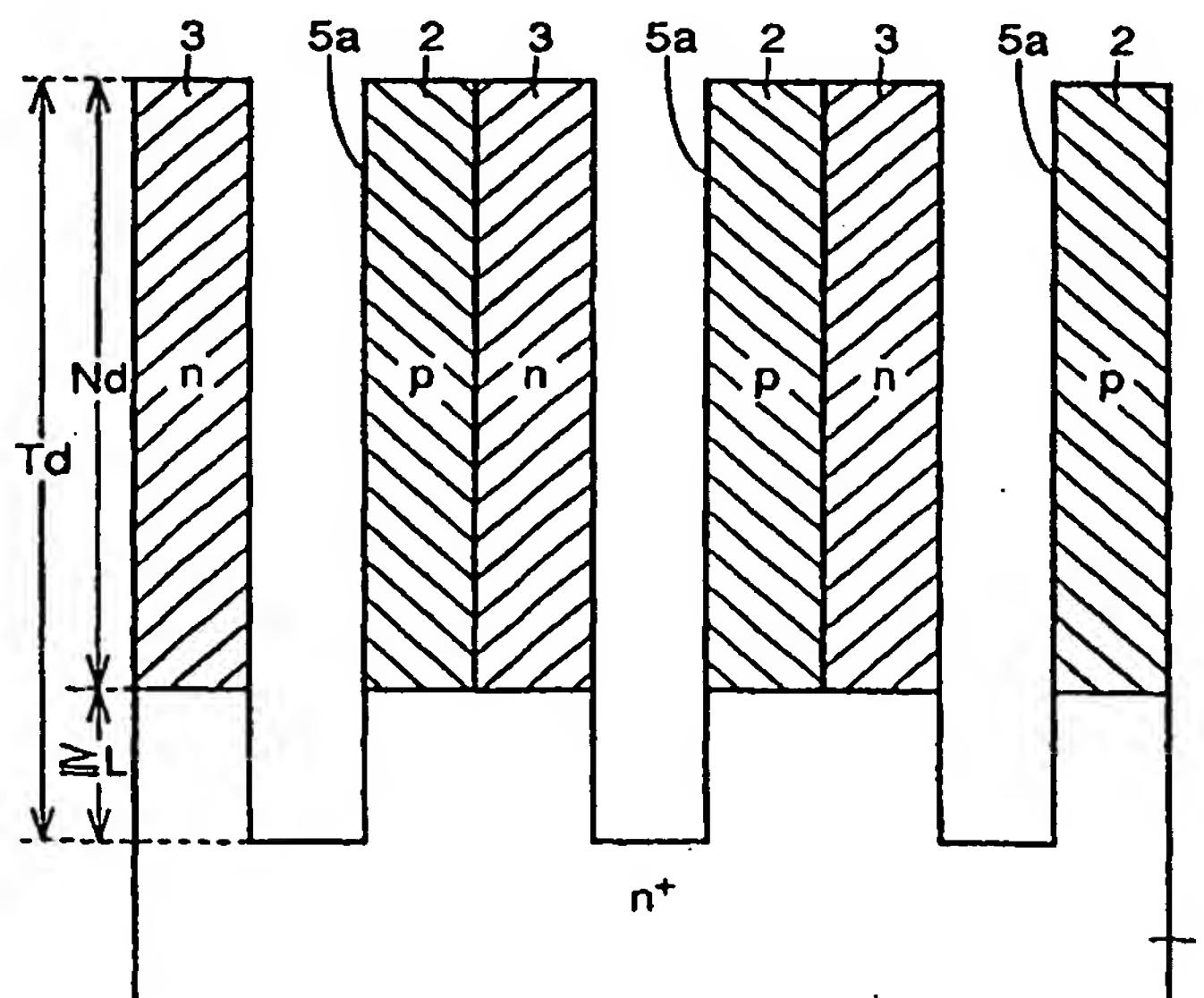
国際調査報告書

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME

(54) 発明の名称 半導体装置およびその製造方法

(57) Abstract

A semiconductor device wherein trenches (5a) are made in the first major surface of a semiconductor substrate, and a p-type diffusion region (2) and an n-type diffusion region (3) are formed to constitute a pn junction along the depthwise direction of the trench in a region between the trenches (5a). The p-type diffusion region (2) has an impurities concentration distribution established by p-type impurities diffused from the side wall face of one trench (5a) and the n-type diffusion region (3) has an impurities concentration distribution established by n-type impurities diffused from the side wall face of the other trench (5a). A heavily doped n^+ -type substrate region (1) is formed on the second major surface side of the p-type diffusion region (2) and the n-type diffusion region (3). The depth (L_d) of the trench (5a) from the first major surface is preset to be deeper than the depth (N_d) of the p-type and n-type diffusion regions (2, 3) from the first major surface by at least a diffusion length (L) of the p-type impurities in the p-type diffusion region (2) or the n-type impurities in the n-type diffusion region (3) during the manufacturing process. Thus a semiconductor device having high breakdown strength and low ON resistance can be obtained.



(57)要約

半導体基板の第1主面には複数の溝5aが形成されており、溝5a間に挟まれる領域内には、p型拡散領域2とn型拡散領域3とが溝の深さ方向に沿ってpn接合を構成するように形成されている。p型拡散領域2は一方の溝5aの側壁面からp型不純物が拡散された不純物濃度分布を有し、n型拡散領域3は他方の溝5aの側壁面からn型不純物が拡散された不純物濃度分布を有している。p型拡散領域2とn型拡散領域3との第2主面側にはn⁺高濃度基板領域1が形成されている。溝5aの第1主面からの深さLdは、p型およびn型拡散領域2、3の第1主面からの深さNdよりも、p型拡散領域2内のp型不純物またはn型拡散領域3内のn型不純物の製造時の拡散長さL以上深く形成されている。これにより、高耐圧・低ON抵抗の半導体装置を得ることができる。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE アラブ首長国連邦
AL アルバニア
AM アルメニア
AT オーストリア
AU オーストラリア
AZ アゼルバイジャン
BA ボスニア・ヘルツェゴビナ
BB バルバドス
BE ベルギー
BF ブルキナ・ファソ
BG ブルガリア
BJ ベナン
BR ブラジル
BY ベラルーシ
CA カナダ
CF 中央アフリカ
CG コンゴ
CH スイス
CI コートジボアール
CM カメルーン
CN 中国
CR コスタ・リカ
CU キューバ
CY キプロス
CZ チェコ
DE ドイツ
DK デンマーク

DM ドミニカ
EE エストニア
ES スペイン
FI フィンランド
FR フランス
GA ガボン
GB 英国
GD グレナダ
GE グルジア
GH ガーナ
GM ガンビア
GN ギニア
GW ギニア・ビサウ
GR ギリシャ
HR クロアチア
HU ハンガリー
ID インドネシア
IE アイルランド
IL イスラエル
IN インド
IS アイスランド
IT イタリア
JP 日本
KE ケニア
KG キルギスタン
KP 北朝鮮
KR 韓国

KZ カザフスタン
LC セントルシア
LI リヒテンシュタイン
LK スリ・ランカ
LR リベリア
LS レソト
LT リトアニア
LU ルクセンブルグ
LV ラトヴィア
MA モロッコ
MC モナコ
MD モルドヴァ
MG マダガスカル
MK マケドニア旧ユーゴスラヴィア
共和国
ML マリ
MN モンゴル
MR モーリタニア
MW マラウイ
MX メキシコ
NE ニジェール
NL オランダ
NO ノールウェー
NZ ニュージーランド
PL ポーランド
PT ポルトガル
RO ルーマニア

RU ロシア
SD スーダン
SE スウェーデン
SG シンガポール
SI スロヴェニア
SK スロヴァキア
SL シエラ・レオネ
SN セネガル
SZ スワジランド
TD チャード
TG トーゴ
TJ タジキスタン
TZ タンザニア
TM トルクメニスタン
TR トルコ
TT トリニダード・トバゴ
UA ウクライナ
UG ウガンダ
US 米国
UZ ウズベキスタン
VN ヴェトナム
YU ユーゴスラビア
ZA 南アフリカ共和国
ZW ジンバブエ

明細書

半導体装置およびその製造方法

5 技術分野

本発明は、半導体装置およびその製造方法に関し、より特定のには、各種電源装置などに使用される低ON抵抗で低スイッチング損失な電力半導体装置およびその製造方法に関するものである。

10 背景技術

高耐圧縦型パワーMOSFET (Metal Oxide Semiconductor Field Effect Transistor) について本出願人は、1997年2月10日に日本国特許庁に提出した特願平9-26997号において図38に示す構造を提案している。

図38を参照して、半導体基板の第1主面には複数の溝105aが繰返し設けられている。この溝105aに挟まれる領域内には、p型およびn型拡散領域102、103が設けられており、p型拡散領域102は一方の溝105aの側壁面に設けられており、n型拡散領域103は他方の溝105aの側壁面に設けられている。このp型拡散領域102とn型拡散領域103とは、溝105aの深さ方向に沿ってpn接合部を構成している。

p型およびn型拡散領域102、103の第1主面側にはp型ウェル（p型ベース領域とも称する）107が形成されている。このp型ウェル107内であって他方の溝105aの側壁面にはソースn⁺拡散領域108が設けられている。このソースn⁺拡散領域108とn型拡散領域103とに挟まれるp型ウェル107にゲート絶縁層109を介在して対向するように、他方の溝105aの側壁面に沿ってゲート電極層110が形成されている。

溝105a内には、低不純物濃度のシリコン（単結晶、多結晶、非晶質および微結晶を含む）かシリコン酸化膜などの絶縁物よりなる充填層105が充填されている。この充填層105の第1主面側には、充填層105が低不純物濃度のシリコンの場合のみ、p⁺拡散領域111が設けられており、p型ウェル107と

接している。

またp型およびn型拡散領域102、103と溝105aとの繰返し構造（以下、pn繰返し構造と称する）の第2主面側にはドレインn⁺領域101が形成されている。

- 5 第1主面上には、p型ウェル107、ソースn⁺拡散領域108およびp⁺拡散領域111に電氣的に接続するようにソース電極層112が形成されている。また第2主面上には、ドレインn⁺領域101と電氣的に接続するようにドレイン電極層113が形成されている。

- 10 この構造では素子のON状態にあつては、まずゲート電極層110に対向したp型ウェル107の表面部にn型チャネルが誘起される。そして、ドレインn⁺領域101、n型拡散領域103、n型チャネルおよびソースn⁺拡散領域108の経路で電子電流が流れてON状態となる。

- 15 次にOFF状態にあつては、ドレイン電圧が10V程度と低い場合には、空間電荷領域は、n型領域部（ドレインに接続されたドレインn⁺領域101とn型拡散領域103とからなる）とp型領域部（ソースに接続されたp型ウェル107とp型拡散領域102とからなる）との間の接合部に沿ってそこから広がって形成される。ドレイン電圧を上昇していくとn型拡散領域103とp型拡散領域102とは厚みが薄いため、これらの領域102、103がすべて空乏化される。これより高いドレイン電圧を印加すると、空間電荷領域はp型ウェル107とド
20 レインn⁺領域101とに向かってのみ広がるようになる。

- 25 このようにpn繰返し構造のためn型拡散領域103でリサフ効果が発揮されて、他のパワーMOSFETより高耐圧・低抵抗な特性を得ることができる。したがって、この構造においては、n型拡散領域103とp型拡散領域102とが溝の深さ方向（図中縦方向）に所定濃度で連続に形成されていることが重要である。

次に、この半導体装置のpn繰返し構造の製造方法について説明する。

図39～図43は、上記の半導体装置の製造方法を工程順に示す概略断面図である。まず図39を参照して、ドレインn⁺領域となるn型高濃度基板領域101上に、このn型高濃度基板領域101よりも不純物濃度の低いn⁻エピタキシ

ナル成長層 106 が形成される。この n エピタキシャル成長層 106 の表面に、既存の不純物拡散法を用いて p 型ベース領域となる p 型領域 107 が形成される。この p 型領域 107 上に、熱酸化膜 12 と CVD (Chemical Vapor Deposition) シリコン窒化膜 13 と CVD シリコン酸化膜 14 とからなる 3 層積層構造が形成され、この 3 層積層構造をマスクとしてその下層に異方性エッチングが施される。

図 40 を参照して、このエッチングにより、第 1 主面から n 型高濃度基板領域 101 に達する複数の溝 105a が形成される。

図 41 を参照して、溝 105a の一方の側壁面に、斜めイオン注入法を用いてホウ素 (B) が注入され、ホウ素注入領域 102a が形成される。

図 42 を参照して、上述のホウ素注入時とは傾きを逆にした斜めイオン注入法により、溝 105a の他方の側壁面にリン (P) が注入され、リン注入領域 103a が形成される。

図 43 を参照して、溝 105a を埋込み、かつ 3 層積層構造 12、13、14 上を覆うように絶縁膜である CVD シリコン酸化膜 105 が形成される。この状態で、イオン注入により導入した p 型および n 型不純物を拡散させるために熱処理が行なわれる。これにより、溝 105a によって挟まれる領域に、n 型拡散領域 102 と p 型拡散領域 103 とが形成される。このようにして p n 繰返し構造が形成される。

しかし、この図 38 に示す半導体装置では、p 型および n 型拡散領域 102、103 の第 1 主面からの深さが溝 105a の第 1 主面からの深さと実質的に同じである。このため、OFF 状態での耐圧が低く、かつ ON 状態での抵抗が高くなるという問題があった。以下そのことについて詳細に説明する。

上記の製造方法では、図 41、42 に示すようにイオンが斜め注入される。この際、図 44 に示すように溝 105a の側壁で、ある率でイオンが反射される (点線矢印)。このため、注入したい側壁とは逆側の側壁である溝 105a の底部に反射イオン 120 が注入される。

また実際には、溝 105a の底部は図 45 に示すようにラウンド形状 (有限の曲率を有する形状) を有している。このため、この底部に直接入射されたイオン

(実線矢印) や、側壁からの反射によりこの底部に入射されたイオン (点線矢印) は、溝 1 0 5 a の底部で反射されて、注入したい側壁とは逆側の側壁であって溝 1 0 5 a 底部に集中して注入される。

5 この場合、p 型および n 型拡散領域 1 0 2、1 0 3 の深さと溝 1 0 5 a の深さとが実質的に同じだと、p 型拡散領域 1 0 2 内底部および n 型拡散領域 1 0 3 内底部において不純物濃度が大きく変化する部分 (局所的濃度変化部) が生じる。また場合によっては p 型および n 型拡散領域 1 0 2、1 0 3 内底部において p 型、n 型が反転する領域が発生する。結果として、p 型拡散領域 1 0 2 と n 型拡散領域 1 0 3 とを第 1 主面に垂直な方向に均一もしくは連続的な不純物濃度分布で形成することができなくなる。したがって、p 型拡散領域 1 0 2 と n 型拡散領域 1 0 3 とが OFF 状態で空乏化したときに電界の不均一が生じることで耐圧が低下し、また ON 状態では ON 抵抗が高くなる。

発明の開示

15 本発明の目的は、このような問題点を解決するためになされたもので、p n 繰返し構造の p 型および n 型拡散領域内での不純物濃度の不連続をなくすことで高耐圧・低 ON 抵抗の半導体装置およびその製造方法を提供することにある。

20 本発明の半導体装置は、半導体基板と、第 1 導電型の第 1 不純物領域と、第 2 導電型の第 2 不純物領域とを備えている。半導体基板は、互いに対向する第 1 および第 2 主面を有し、かつ第 1 主面に設けられた複数の溝を有している。第 1 不純物領域は、複数の溝のうち隣り合う一方および他方の溝に挟まれる半導体基板の領域内の一方の溝の側壁面に形成され、一方の溝の側壁面から第 1 導電型の不純物が拡散された不純物濃度分布を有し、かつ半導体基板の第 1 導電型の領域よりも低い不純物濃度を有している。第 2 不純物領域は、一方および他方の溝に挟まれる領域内の他方の溝の側壁面に形成され、他方の溝の側壁面から第 2 導電型不純物が拡散された不純物濃度分布を有し、かつ第 1 不純物領域と p n 接合を形成している。一方および他方の溝は、第 1 主面に対して側壁面が所定の傾きを維持しながら第 1 主面から第 1 の深さ位置まで延びる第 1 の延在部を有している。第 1 および第 2 不純物領域は、第 1 の深さ位置から第 1 主面側へ第 1 および第 2

導電型不純物が製造時に拡散する長さ以上浅く形成されている。

5 本発明の半導体装置では、第1および第2不純物領域は溝の第1延在部の底部よりも拡散長さ以上分だけ第1主面から浅く形成されているため、イオン注入によりこの底部に生じる不純物濃度の不均一な部分が第1および第2不純物領域内に分布せず、半導体基板の第1導電型の領域内に位置することになる。半導体基板の第1導電型の領域は第1不純物領域よりも高い不純物濃度を有しているため、この第1導電型の領域におけるイオン注入による不純物濃度の変化の程度は特性に影響を与えない程度に小さくすることができる。また、第1および第2不純物領域は第1主面に垂直な方向に連続して均一な濃度で形成されるため、OFF状態
10 で空乏層が第1および第2不純物領域全体に広がっても電界は均一となり、耐圧を向上させることができる。また、ON状態での抵抗も減少させることができる。

上記の半導体装置において好ましくは、第2導電型の第3不純物領域と、第1導電型の第4不純物領域と、ゲート電極層とがさらに備えられている。第3不純物領域は、第1および第2不純物領域の第1主面側に形成され、第2不純物領域に電氣的に接続されている。第4不純物領域は、第3不純物領域を挟んで第1不純物領域と対向するように第1主面および一方の溝の側壁面の少なくともいずれかに形成されている。ゲート電極層は、第1および第4不純物領域に挟まれる第3不純物領域にゲート絶縁層を介在して対向している。

20 これにより、高耐圧・低ON抵抗のMOSFETを得ることができる。

上記の半導体装置において好ましくは、一方および他方の溝は、第1の延在部に連通して第1の深さ位置からさらに第2主面側の第2の深さ位置まで延び、かつ第1の延在部とは異なる側壁面の傾きを有する第2の延在部をさらに有している。

25 これにより、たとえば第2の延在部がテーパ状になっている場合でも、第1および第2不純物領域に不純物濃度の不均一な部分が生じることは防止される。

上記の半導体装置において好ましくは、ゲート電極層は、溝内に形成されている。

これにより、高耐圧・低ON抵抗のトレンチ型MOSFETを得ることができ

る。

上記の半導体装置において好ましくは、ゲート電極層は第1主面上に形成されている。

これにより、高耐圧・低ON抵抗の平面型MOSFETを得ることができる。

- 5 上記の半導体装置において好ましくは、第1および第2不純物領域の第1主面側に形成され、第2不純物領域に電氣的に接続された第2導電型の第3不純物領域がさらに備えられている。

これにより、高耐圧・低ON抵抗のダイオードを得ることができる。

- 10 上記の半導体装置において好ましくは、第1不純物領域にショットキー接続された電極層がさらに備えられている。

これにより、高耐圧・低ON抵抗のショットキーダイオードを得ることができる。

- 15 上記の半導体装置において好ましくは、第1および第2導電型不純物が製造時に拡散する長さは、一方または他方の溝の側壁面から第1および第2不純物領域のpn接合までの距離より長い。

これにより、溝の第1の延在部の底部近傍に生じた不純物濃度の不均一な部分が、製造時の熱処理により第1および第2不純物領域内にまで拡散することが防止される。

本発明の半導体装置の製造方法は以下の工程を備えている。

- 20 まず互いに対向する第1および第2の主面を有し、第2主面に第1導電型の高濃度領域を有し、かつ高濃度領域の第1主面側に第1導電型の低濃度領域を有する半導体基板が形成される。そして第1主面に対して側壁面が所定の傾きを維持しながら第1主面から高濃度領域内の第1の深さ位置まで延びる第1の延在部を有する複数の溝が半導体基板に形成される。そして複数の溝のうち隣り合う一方
- 25 および他方の溝に挟まれる半導体基板の領域内の一方の溝の側壁面に第1導電型不純物が斜め注入されて、一方の溝の側壁面に高濃度領域よりも低い不純物濃度を有する第1導電型の第1不純物領域が形成される。そして一方および他方の溝に挟まれる半導体基板の領域内の他方の溝の側壁面に第2導電型不純物が斜め注入されて、第1不純物領域とpn接合を構成するように他方の溝の側壁面に第2

導電型の第2不純物領域が形成される。第1の深さ位置は、高濃度領域と低濃度領域との接合部から第2主面側へ第1および第2導電型不純物が製造時に拡散する長さ以上の間隔をおいて位置する。第1および第2導電型不純物の双方は、高濃度領域と低濃度領域との接合部から第2主面側へ第1および第2導電型不純物が製造時に拡散する長さ以上の間隔をおいた深さ位置に直接入射する角度で注入される。

本発明の半導体装置の製造方法では、第1および第2不純物領域は溝の第1の延在部の底部よりも拡散長さ分以上浅く形成されているため、イオン注入によりこの底部に生じる不純物濃度の不均一な部分が第1および第2不純物領域内に分布せず、半導体基板の第1導電型の領域内に位置することになる。半導体基板の第1導電型の領域は第1不純物領域よりも高い不純物濃度を有しているため、この第1導電型の領域におけるイオン注入による不純物濃度の変化の程度は特性に影響を与えない程度に小さくすることができる。また、第1および第2不純物領域は第1主面に垂直な方向に連続して均一な濃度で形成されることとなるため、OFF状態で空乏層が第1および第2不純物領域に広がっても電界は均一となり、耐圧を向上させることができる。また、ON状態での抵抗も減少させることができる。

上記の半導体装置の製造方法において好ましくは、複数の溝は、溝の第1の延在部に連通して第1の深さ位置からさらに第2主面側の第2の深さ位置まで延び、かつ第1の延在部とは異なる側壁面の傾きを有する第2の延在部をさらに有するように形成される。これにより、たとえば第2の延在部がテーパ状になっている場合でも、第1および第2不純物領域に不純物濃度の不均一な部分の生じることが防止される。

上記の半導体装置の製造方法において好ましくは、第1および第2不純物領域の第1主面側に、第2不純物領域に電氣的に接続するように第2導電型の第3不純物領域を形成する工程と、第3不純物領域を挟んで第1不純物領域に対向するように第1主面および一方の溝の側壁面の少なくともいずれかに第1導電型の第4不純物領域を形成する工程と、第1および第4不純物領域に挟まれる第3不純物領域にゲート絶縁層を介在して対向するようにゲート電極層を形成する工程と

がさらに備えられている。

これにより、高耐圧・低ON抵抗のMOSFETを製造することができる。

上記の半導体装置の製造方法において好ましくは、ゲート電極層は溝内に形成される。

- 5 これにより、高耐圧・低ON抵抗のトレンチ型MOSFETを製造することができる。

上記の半導体装置の製造方法において好ましくは、ゲート電極層は第1主面上に形成される。

- 10 これにより、高耐圧・低ON抵抗の平面型MOSFETを製造することができる。

上記の半導体装置の製造方法において好ましくは、第1および第2不純物領域の第1主面側に第2不純物領域に電氣的に接続するように第2導電型の第3不純物領域を形成する工程がさらに備えられている。

これにより、高耐圧・低ON抵抗のダイオードを製造することができる。

- 15 上記の半導体装置の製造方法において好ましくは、第1不純物領域にショットキー接合された電極層を形成する工程がさらに備えられている。

これにより、高耐圧・低ON抵抗のショットキーダイオードを製造することができる。

- 20 上記の半導体装置の製造方法において好ましくは、第1および第2導電型不純物が製造時に拡散する長さは、一方または他方の溝の側壁面から第1および第2不純物領域のpn接合までの距離より長い。

これにより、溝の第1の延在部の底部近傍に生じた不純物濃度の不均一な部分が製造時の熱処理により第1および第2不純物領域内にまで拡散することが防止される。

25

図面の簡単な説明

図1は、本発明の実施の形態1における半導体装置の構成を概略的に示す断面図である。

図2は、本発明の実施の形態1における半導体装置の製造方法を示す工程図で

ある。

図 3 は、本発明の実施の形態 2 における半導体装置の構成を概略的に示す断面図である。

図 4 は、本発明の実施の形態 2 における半導体装置の製造方法を示す工程図である。

図 5 は、本発明の実施の形態 3 における半導体装置の製造方法を示す工程図である。

図 6 は、本発明の実施の形態 7 における半導体装置の構成を概略的に示す断面図である。

図 7 は、図 6 の Y-Y' 線に沿うネット不純物濃度を示す図である。

図 8 は、p 型拡散領域と n 型拡散領域との不純物濃度を示す図である。

図 9 ～図 22 は、本発明の実施の形態 7 における半導体装置の製造方法を工程順に示す概略断面図である。

図 23 は、溝の底部をテーパ形状とした場合の工程図である。

図 24 は、本発明の実施の形態 7 における半導体装置の溝の底部をテーパ形状とした構成を示す概略断面図である。

図 25 と図 26 とは、溝側壁への不純物の注入位置を説明するための図である。

図 27 は、本発明の実施の形態 8 における半導体装置の構成を概略的に示す斜視図である。

図 28 は、本発明の実施の形態 8 における半導体装置の製造方法を示す工程図である。

図 29 は、本発明の実施の形態 8 における半導体装置の溝の底部をテーパ形状とした構成を示す概略斜視図である。

図 30 は、本発明の実施の形態 9 における半導体装置の構成を概略的に示す断面図である。

図 31 は、本発明の実施の形態 9 における半導体装置の溝の底部をテーパ形状とした構成を示す概略断面図である。

図 32 は、本発明の実施の形態 10 における半導体装置の構成を概略的に示す断面図である。

図 3 3 ～ 図 3 6 は、本発明の実施の形態 1 0 における半導体装置の製造方法を工程順に示す概略断面図である。

図 3 7 は、本発明の実施の形態 1 0 における半導体装置の溝の底部をテーパ形状とした構成を示す概略断面図である。

5 図 3 8 は、本出願人が提案した MOS F E T の構成を示す概略断面図である。

図 3 9 ～ 図 4 3 は、図 3 8 に示す MOS F E T の製造方法を工程順に示す概略断面図である。

図 4 4 は、不純物を注入したい溝の側壁とは逆側の側壁に不純物が注入されてしまう様子を示す概略断面図である。

10 図 4 5 は、図 4 4 の領域 S を拡大して示す図である。

発明を実施するための最良の形態

以下、本発明の実施の形態について図に基づいて説明する。

実施の形態 1

15 図 1 を参照して、半導体基板の第 1 主面には、複数の溝 5 a が形成されている。この溝 5 a に挟まれる領域内には、p 型および n 型拡散領域 2、3 が設けられており、p 型拡散領域 2 は一方の溝 5 a の側壁面に設けられており、n 型拡散領域 3 は他方の溝 5 a の側壁面に設けられている。p 型拡散領域 2 は、一方の溝 5 a の側壁面から p 型不純物が拡散された不純物濃度分布を有し、n 型拡散領域 3 は
20 他方の溝 5 a の側壁面から n 型不純物が拡散された不純物濃度分布を有している。この p 型拡散領域 2 と n 型拡散領域 3 とは、溝 5 a の深さ方向に沿って p n 接合部を構成している。

p 型および n 型拡散領域 2、3 と溝 5 a との繰返し構造（p n 繰返し構造）の第 2 主面側には n 型高濃度基板領域 1 が形成されている。

25 溝 5 a の第 1 主面からの深さ T_d は、p 型および n 型拡散領域 2、3 の第 1 主面からの深さ N_d よりも、拡散長さ L 以上だけ深く形成されている。ここで拡散長さ L とは、p 型拡散領域 2 に含まれる p 型不純物または n 型拡散領域 3 に含まれる n 型不純物がこの半導体装置製造時のすべての熱処理により拡散する長さの合計のことである。

また本願において拡散長さLは、「表面に注入された不純物が熱処理により拡散した場合に不純物濃度が表面濃度の1/10になる深さ（長さ）」を意味するものとする。したがって、不純物の拡散係数をDとすると、

$$\text{拡散長さ } L = (\log_{10})^{1/2} \times 2 \times (D \times s)^{1/2} \quad (s = \text{拡散時間})$$

5 [秒])

で求めることができる。

以下、p型拡散領域2の形成にボロン、n型拡散領域3の形成にリンを用いた場合のこの拡散長さLの具体的数値について説明する。

まず溝5aと溝5aとの間隔が2μmの素子の場合、溝5aの各側壁にリン、
10 ボロンを注入した後、主に表1に示す1～4の熱処理が必要となる。

表1

	熱処理温度	熱処理時間
1、側壁注入イオンの拡散	1100℃	1時間
2、溝の埋込み	850℃	1時間
3、ゲート酸化膜形成	850℃	30分
4、層間膜形成	850℃	90分

ここでボロンおよびリンの拡散係数Dには、表2の値を用いる。

表2

	850℃	1100℃
ボロン	1e-15cm ² /sec	3.5e-13cm ² /sec
リン	1e-15cm ² /sec	3.5e-13cm ² /sec

表1および表2の数値からボロンの拡散長さL（ボロン）を計算すると、

$$\begin{aligned} L(\text{ボロン}) &= (\log_{10})^{1/2} \times 2 \times ((3.5e-13 \times 3600)^{1/2} + (1e-15 \times 10800)^{1/2}) \\ &= (\log_{10})^{1/2} \times 2 \times (3.5e-5 + 0.32e-5) \quad (\text{cm}) \\ &= 1.2 \mu\text{m} \end{aligned}$$

となる。

ボロンとリンとの拡散係数は表2に示すようにほとんど同じであるから、結局
20 拡散長さLは、ボロンとリンとの双方で1.2μmとなる。

このため、図1において溝5aの深さTdは、p型およびn型拡散領域2、3の深さNdよりも1.2μm以上深く形成する必要がある。

この拡散係数の表からもわかるように、拡散長さLは事実上950℃以上の高温の熱処理で決まる場合が多い。

一方、高熱（たとえば1000℃以上）の熱処理フローでは、装置の昇温と降温でかかる熱処理が無視できないほど大きい場合もある。たとえば、950℃→1100℃を5℃/分で昇温/降温すれば、150℃/5℃/分=30分程度余計に熱処理がかかることになる。中間温度（1025℃）で近似すれば、この熱処理によって、

拡散長さ $= (\log_{10})^{1/2} \times 2 \times (5 \times 10^{-14} \times 1800)^{1/2} = 0.3 \mu\text{m}$
 程度、拡散長さLは、長くなる。

したがって、この場合には、溝5aの深さTdは0.3μmだけ深く見積もった深さとする必要がある。

10 なお、溝5aと溝5aとの間隔が3μm、5μmの場合の拡散長さLも例示しておく。

溝5aの間隔が3μmの場合、前述の側壁注入イオンの拡散条件が、1100℃、2時間程度になる。後の熱処理条件は同じであるから、

$$\begin{aligned} \text{15} \quad \text{拡散長さ } L &= (\log_{10})^{1/2} \times 2 \times ((3.5 \times 10^{-13} \times 7200)^{1/2} + (1 \times 10^{-15} \times 10800)^{1/2}) \\ &= 1.6 \mu\text{m} \end{aligned}$$

になる。

溝5aの間隔が5μmの場合、溝間隔がこのぐらい大きくなると、側壁イオンの拡散にかかる熱処理が大きいため、ベース拡散は、側壁拡散後に行なうことが必要となってくる。この場合は、側壁注入イオンの拡散条件が1000℃、5時間、
 20 ベース拡散の条件が1100℃、1時間程度になり、他の熱処理条件は同じであるから、

$$\begin{aligned} \text{25} \quad \text{拡散長さ } L &= (\log_{10})^{1/2} \times 2 \times ((3.5 \times 10^{-13} \times 21600)^{1/2} + (1 \times 10^{-15} \times 10800)^{1/2}) \\ &= 2.8 \mu\text{m} \end{aligned}$$

になる。

25 次に、本実施の形態の製造方法について説明する。

図2を参照して、n型高濃度基板領域1上に、十分低い不純物濃度を有するn-不純物低濃度層6がたとえばエピタキシャル成長などで形成される。この後、第1主面上に所定のマスクパターンが形成されて、そのマスクパターンをマスクとしてその下層に異方性エッチングが施され、複数の溝5aが形成される。この

溝 5 a の第 1 主面からの深さ T_d は、 n^- 不純物低濃度層 6 の第 1 主面からの深さ N_d よりも上述した拡散長さ L 以上だけ深くされる。

この後、溝 5 a の各側壁にボロン、リンが注入されて、図 1 に示すように p 型拡散領域 2 と n 型拡散領域 3 とが形成され、p n 繰返し構造が完成する。

5 ここで n^- 不純物低濃度層 6 の深さ N_d は以下のように定義される。

本願における n^- 不純物低濃度層 6 の深さ N_d とは、p n 繰返し構造の p 型および n 型拡散領域 2、3 の不純物を注入する直前における n 型不純物低濃度層 6 の深さをいう。つまり、この n^- 不純物低濃度層 6 はエピタキシャル成長などで形成されるが、エピタキシャル成長で形成された時点ではこのエピタキシャル層
10 の厚みと n^- 不純物低濃度層 6 の厚みとはほぼ等しい。

しかし、p n 繰返し構造をなす p 型および n 型拡散領域 2、3 の形成のための不純物の注入までに熱処理が与えられる場合がある。たとえば、図 2 では図示していないが、図 3 9 で説明したように n^- 不純物低濃度層 6 の第 1 主面には、既存の不純物拡散法を用いて、p 型ベース領域となる p 型拡散領域が形成される場合
15 がある。この場合には、ベース拡散のための熱処理が必要となる。この熱処理により n 型高濃度基板領域 1 から高濃度の n 型不純物がエピタキシャル層中へ拡散するため、 n^- 不純物低濃度層 6 の厚みは薄くなる。

このように p 型および n 型拡散領域 2、3 の形成のためのイオン注入までに熱処理が加えられるか否かで n^- 不純物低濃度層 6 の厚みが異なるため、本願では
20 n^- 不純物低濃度層 6 の深さ N_d を、上記の不純物注入の直前における n^- 不純物低濃度層 6 の深さとしている。

本実施の形態では、p 型および n 型拡散領域 2、3 は、溝 5 a の底面よりも拡散長さ L 以上浅く形成されている。このため、溝 5 a の底面近傍に生じる不純物濃度の不均一な部分が p 型および n 型拡散領域 2、3 内に位置することはなく、
25 n 型高濃度基板領域 1 内に位置することになる。またこの不純物濃度の不均一な部分が製造工程における熱処理で拡散して p 型および n 型拡散領域 2、3 内に分布することもない。n 型高濃度基板領域 1 は n 型拡散領域 3 よりも十分に高い不純物濃度を有しているため、この n 型高濃度基板領域 1 におけるこの不純物濃度の不均一の程度は特性に影響を与えない程度に小さくすることができる。また、

p 型および n 型拡散領域 2、3 は第 1 主面に垂直な方向に連続した所定の濃度とすることができる。このため、OFF 状態で空乏層が p 型および n 型拡散領域 2、3 の全体に広がっても電界は均一となり、耐圧を向上させることができる。また ON 状態での抵抗も減少させることができる。

5 実施の形態 2

本実施の形態は、溝の側壁の第 1 主面に対する傾きが途中で変化する場合の構成を示している。

図 3 を参照して、溝 5 b は、たとえば第 1 の主面に対して側壁がほぼ垂直に延びる第 1 の延在部と、第 1 の延在部に連通し、そこから側壁がテーパ状に延びる第 2 の延在部とを有している。そして、溝 5 b の第 1 の延在部の深さ Td_1 は、
10 繰返し構造の p 型および n 型拡散領域 2、3 の深さ Nd よりも拡散長さ L 以上だけ深くされている。

なお、これ以外の構成については、図 1 の構成とほぼ同じであるため同一の部材については同一の符号を付しその説明は省略する。

15 本実施の形態の製造方法では、図 4 に示すように溝 5 b は、第 1 の延在部の深さ Td_1 が n 不純物低濃度層 6 の深さ Nd よりも拡散長さ L 以上だけ深くなるように形成される。

なおこれ以外の製造工程については実施の形態 1 とほぼ同じであるため、その説明は省略する。

20 この場合、傾きが変化した第 2 の延在部（テーパ部）では、イオン注入の際の側壁での反射角度が第 1 の延在部とは異なる。このため、第 2 の延在部では、第 2 の延在部の底面だけでなく第 2 の延在部の側壁面全面において、反射された不純物の反対側壁面への注入が生じるおそれがある。つまり、第 2 の延在部の側壁面全面において局所的濃度変化が生ずるおそれがある。

25 そこで、溝 5 b の第 1 の延在部の深さ Td_1 は、pn 繰返し構造の p 型および n 型拡散領域 2、3 の深さ Nd よりも拡散長さ L 以上深くされる。これにより、第 2 の延在部の側壁面全面において局所的濃度変化が生じた場合でも、p 型および n 型拡散領域 2、3 内に局所的濃度変化が位置することはない。よって、実施の形態 1 と同様、p 型および n 型拡散領域 2、3 は第 1 主面に垂直な方向に連続

して均一な濃度で形成することができる。したがって、OFF状態で空乏層がp型およびn型拡散領域2、3の全体に広がっても電界は均一となり、耐圧を向上させることができる。またON状態での抵抗も減少させることもできる。

実施の形態3

- 5 本実施の形態では、p型およびn型拡散領域2、3を第1主面に対して垂直な方向に連続して均一な濃度で形成するための不純物の注入角度について示す。

図5を参照して、n⁻不純物低濃度層6の厚みNdよりも、拡散長さL以上だけ深い位置に直接入射できる角度でp型あるいはn型不純物イオンを注入する必要がある。

- 10 これにより、n⁻不純物低濃度層6よりも拡散長さL以上深い位置近傍で局所的濃度変化部が生じることになる。このため、この後にpn繰返し構造のp型およびn型拡散領域2、3が形成されてもp型およびn型拡散領域2、3内に局所的濃度変化部が位置することはない。このように溝5aの深さではなく、n⁻不純物低濃度層6の厚み（深さ）Ndに関して不純物イオンの注入角を規定することにより、深さ方向に連続して均一な濃度でp型拡散領域2およびn型拡散領域3を形成することができる。

実施の形態4

本実施の形態では、素子耐圧が300Vの場合の各部の具体的数値について示す。

- 20 図2を参照して、所望の素子耐圧が300Vの場合、n⁻不純物低濃度層6は、不純物濃度が $1 \times 10^{13} \text{ cm}^{-3}$ 、厚さNdが17 μm 程度であればよい。このn⁻不純物低濃度層6は、実施の形態1で説明したように、エピタキシャル成長などで形成した低濃度層そのものではなく、pn繰返し構造をなすp型およびn型拡散領域2、3の形成のための不純物を注入する直前においてn型高濃度基板領域1
- 25 よりも低い不純物濃度を有する層を指す。したがって、ベース拡散などをこの不純物注入前に行なうか否かによって、n⁻不純物低濃度層6の厚みNdは変化する。

p型拡散領域2とn型拡散領域3との横方向の繰返しピッチPは、横方向の電界の不均一を抑えるためには3～5 μm 以下であることが望ましい。ON抵抗を

十分に小さく抑えるためには、n型拡散領域3の割合が大きいほどよいから、溝5aの幅Wは $1 \sim 1.5 \mu\text{m}$ 以下であることが望ましい。したがってp型拡散領域2とn型拡散領域3との幅はそれぞれ $1 \sim 2 \mu\text{m}$ 程度となる。

さらに具体的に、溝5aの幅Wを $1 \mu\text{m}$ 、横方向の繰返しピッチPを $3 \mu\text{m}$ 、溝5aと溝5aとの間を $2 \mu\text{m}$ とした場合について以下に説明する。

p型およびn型拡散領域2、3の拡散長さLは溝5aの側壁面から溝5a間に挟まれる領域の中央部まで拡散する必要性から、 $L > 0.5 \times 2 \mu\text{m}$ である必要がある。また溝5a間に完全に拡散するとpn繰返し構造が形成できないため、概ね $L < 0.7 \times 2 \mu\text{m}$ 程度である必要がある。つまりLが、 $1 \mu\text{m} < L < 1.4 \mu\text{m}$ 程度になるよう熱処理を施す必要がある。もちろんp型およびn型拡散領域2、3形成後にベースを形成する場合は、ベース拡散の熱処理も含めて $1 \mu\text{m} < L < 1.4 \mu\text{m}$ 程度になるように熱処理を施す必要がある。

図2に示すように溝5aの側壁が第1主面に対してほぼ垂直に延びているとすると、溝5aの深さTdは $1.7 \mu\text{m} + L = 1.8 \sim 1.8.4 \mu\text{m}$ 以上であることが必要になる。

図4に示すように溝5aの側壁の傾きが途中で変化している場合は、傾きの変化する位置（第1の延在部の底部）の深さTd₁が $1.8 \sim 1.8.4 \mu\text{m}$ より深い位置にあることが必要である。

またp型およびn型拡散領域2、3形成のための不純物の斜め注入は図5に示すようにn⁻不純物低濃度層6よりも拡散長さL以上だけ深い位置にイオンが直接入射する必要がある。このため、 $L = 1 \mu\text{m}$ とすると、第1主面の垂直方向に対して $\tan^{-1}(1/(1.7+1)) = 3.2^\circ$ 以上の急角度θでイオンを注入する必要がある。

実施の形態5

実施の形態4に類似して、素子耐圧が50Vの場合は、n⁻不純物低濃度層6は、不純物濃度が $1 \times 10^{13} \text{cm}^{-3}$ 、厚さNdが $4 \mu\text{m}$ 程度であればよい。この場合、溝5aの幅Wは $0.5 \mu\text{m}$ 以下であることが望ましく、p型拡散領域2とn型拡散領域3との横方向の繰返しピッチPは、 $1.5 \mu\text{m}$ 程度であることが望ましい。したがって、p型拡散領域2およびn型拡散領域3の拡散長さLは 0.5

～0.7 μm 程度になる。したがって、溝の形状が図1に示すように第1主面に対してほぼ垂直である場合、溝5aの深さ L_d (図2では L_{d1})は4.5～4.7 μm 以上である必要がある。

実施の形態6

- 5 実施の形態4に類似して、素子耐圧が1000Vの場合は、 n^- 不純物低濃度層6は、不純物濃度が $1 \times 10^{13} \text{ cm}^{-3}$ 、厚さ N_d が50 μm 程度であればよい。横方向の繰返しピッチ P は、横方向の電界不均一が起こらないようにできるだけ狭い方がよく、素子耐圧が1000Vの場合でも、概ね10 μm 以下の構造が望ましい。したがって、拡散長さ L は3～5 μm 程度になる。溝の形状が図1に示すように第1主面に対してほぼ垂直である場合、溝5aの深さ L_d (図2では L_{d1})は5.3～5.5 μm 以上である必要がある。

実施の形態7

本実施の形態では、トレンチ型MOSFETについて説明する。

- 15 図6を参照して、半導体基板の第1主面には、複数の溝5aが繰返し設けられている。この溝5aに挟まれる領域内には、p型およびn型拡散領域2、3が設けられており、p型拡散領域2は一方の溝5aの側壁面に設けられており、n型拡散領域3は他方の溝5aの側壁面に設けられている。このp型拡散領域2とn型拡散領域3とは、溝5aの深さ方向に沿ってpn接合部を構成している。

- 20 n型およびp型拡散領域2、3の第1主面側にはp型ウェル (p型ベース領域とも称する) 7が形成されている。このp型ウェル7内であって他方の溝5aの側壁面にはソース n^+ 拡散領域8が設けられている。このソース n^+ 拡散領域8とn型拡散領域3とに挟まれるp型ウェル7にゲート絶縁層9を介在して対向するように他方の溝5aの側壁面に沿ってゲート電極層10が形成されている。

- 25 溝5a内には、低不純物濃度のシリコン (単結晶、多結晶、非晶質および微結晶を含む)、もしくはシリコン酸化膜などの絶縁物よりなる充填層5が充填されている。

またpn繰返し構造の第2主面側には、n型拡散領域3よりも十分に高濃度なドレイン n^+ 領域1が形成されている。

p型拡散領域は一方の溝5aの側壁面からp型不純物が拡散された不純物濃度

分布を有し、 n 型拡散領域3は他方の溝5aの側壁面から n 型不純物が拡散された不純物濃度分布を有している。

このため、図6のY-Y'線に沿う断面のネット不純物濃度は図7に示すようになっている。図7を参照して、溝5aから不純物を導入するために溝5aの側壁面の不純物濃度が高く、シリコン中に入るほど不純物濃度が低くなる。熱拡散すると不純物はほぼガウス分布に従って分布し、図8のような分布を示す。パラメータとして表面不純物濃度 C_{sn} 、 C_{sp} と拡散長さ CHR_n 、 CHR_p とを定義すると不純物濃度分布の形は決定される。この場合、 p 型拡散領域2と n 型拡散領域3とからなる pn 接合は両方からの不純物の拡散濃度が等しくなる位置で形成される。

図6を参照して、溝5aの第1主面からの深さ L_d は、 pn 繰返し構造の第1主面からの深さ N_d よりも、 p 型拡散領域2内の p 型不純物もしくは n 型拡散領域3内の n 型不純物のこの半導体装置の製造時における拡散長さ L 以上深く形成されている。

次に本実施の形態の製造方法について説明する。

図9を参照して、ドレイン n^+ 領域となる n 型高濃度基板領域1上に、後述の不純物拡散工程の濃度分布に比べて十分低い不純物濃度を有する n^- 不純物低濃度層6がたとえばエピタキシャル成長により形成される。また、この n^- 不純物低濃度層6は、エピタキシャル成長法以外に、同程度の不純物濃度を有する基板を直接貼り合わせ、研磨により所望の厚みにして形成することも可能である。

図10を参照して、この n^- 不純物低濃度層6の表面に、既存の不純物拡散法を用いて、MOSFETの p 型ベース領域となる p 型領域7が形成される。この p 型領域7上に、熱酸化膜12とCVDシリコン窒化膜13とCVDシリコン酸化膜14とからなる3層積層構造が所望形状となるように形成される。この積層構造12、13、14をマスクとしてその下層に異方性エッチングが施される。

図11を参照して、このエッチングにより、 p 型領域7と n^- 不純物低濃度層6とを貫通して n 型高濃度基板領域1に達する溝5aが形成される。この際、溝5aの第1主面からの深さは、 n^- 不純物低濃度層6の第1主面からの深さよりも、後工程で溝5aの側壁に注入される p 型不純物または n 型不純物の製造時に

おける拡散長さ L 以上だけ深く形成される。

このシリコン異方性エッチング工程には、エッチングの保護膜がメサ部分に必要なので、CVDシリコン酸化膜14などの耐シリコンエッチング性の膜を予め形成した後に、通常の写真製版工程とエッチング工程とを用いてパターン付けが行なわれる。上述したように、溝5aの幅やアスペクト比率は高精度に形成する必要があるため、 NF_3 、 SF_6 、 SiF_4 などのフッ素系ガスを用いてドライエッチングが行なわれる。

上述のドライエッチング中には、シリコン酸化膜に近い組成の、通常デポジション膜と呼ばれる薄膜が溝5aの側壁に形成される。このため、このシリコン異方性エッチングの直後に、このデポジション膜はフッ酸(HF)系の薬液で除去される。

図12を参照して、溝5aの一方の側壁面に、斜めイオン注入法を用いてホウ素(B)が注入され、ホウ素注入領域2aが形成される。

図13を参照して、上述のホウ素注入時とは傾きを逆にした斜めイオン注入法により、溝5aの他方の側壁面にリン(P)が注入され、リン注入領域3aが形成される。

図14を参照して、イオン注入により導入したp型およびn型の不純物のプロファイルを最終的に要求される拡散プロファイルに近づけるため、両者の領域2a、3aに同時に熱処理が行なわれる。

この熱処理の際に、イオン注入した原子が溝5aの側壁面からの雰囲気中に外方向拡散するのを防ぐ目的で、イオン注入後、溝5aは速やかに絶縁物であるCVDシリコン酸化膜5によって埋込まれる。また、できるだけ速やかに溝5aを埋込むことにより、製造工程の雰囲気中のごみが溝5aの内部に侵入するのを防ぐこともできる。

溝5aの中を半絶縁膜としてシリコンで埋込む場合には、まず前述したCVDシリコン酸化膜の代わりに薄い熱酸化膜を付けた状態で熱処理が行なわれる。そして、ドライエッチングなどの方法で少なくとも溝5a底面の酸化膜が除去された後に、CVD法などによって前述した各種形態のシリコンが埋込まれる。

図15を参照して、イオン注入により導入したp型およびn型不純物を拡散さ

せるために、熱処理が行なわれる。これにより、溝 5 a によって挟まれる領域に、p 型拡散領域 2 と n 型拡散領域 3 とが形成される。絶縁膜 5 に、全面エッチングによる膜後退工程、いわゆるエッチバックが施される。

5 図 1 6 を参照して、これにより、溝 5 a の側壁面において p 型ベース領域 7 の側面が露出する。なお、この絶縁膜 5 の除去時に、3 層積層構造の最上層の C V D シリコン酸化膜 1 4 が除去される。

この絶縁膜 5 のエッチバック工程は、ドライエッチングおよびウェットエッチングのいずれでも可能であるが、精度よく加工するには、一般にドライエッチングが望ましい。

10 図 1 7 を参照して、この後、たとえば熱酸化法により、溝 5 a の側壁面において露出したシリコン部分にシリコン酸化膜よりなるゲート絶縁層 9 が形成される。

図 1 8 を参照して、溝 5 a の上部を埋込むとともに C V D シリコン窒化膜 1 3 上を覆うように、不純物が導入された多結晶シリコン膜（ドーフトポリシリコン膜）1 0 が C V D 法により形成される。このドーフトシリコン膜 1 0 にエッチバックが施される。

図 1 9 を参照して、これにより、p 型ベース領域 7 の側面にゲート絶縁層 9 を介在して対向するゲート電極層 1 0 が形成される。この後、C V D シリコン窒化膜 1 3 と熱酸化膜 1 2 とが順次除去される。

図 2 0 を参照して、これにより、p 型ベース領域 7 の上部表面が露出する。

20 図 2 1 を参照して、露出した p 型ベース領域 7 上および充填された溝 5 a 上にキャップ酸化膜 1 5 が熱酸化法により形成される。このキャップ酸化膜 1 5 上には、通常の写真製版技術により、所望の形状を有するレジストパターン 2 1 a が形成される。このレジストパターン 2 1 a をマスクとしてイオン注入を行なうことにより、p 型ベース領域 7 内に、ソース n⁺ 拡散領域 8 が形成される。レジストパターン 2 1 a が除去された後、通常の写真製版技術およびエッチング技術により、p 型ベース領域 7 上のキャップ酸化膜 1 5 のみが選択的に除去される。

25 図 2 2 を参照して、このようにして露出した p 型ベース領域 7 の表面に接するようにソース電極層 1 6 が形成される。

このようにして、トレンチ型 MOS F E T が完成する。

なお上記の製造方法では、図 1 1 に示すように溝 5 a の側壁は、半導体基板の第 1 主面に対してほぼ垂直に延びているが、図 2 3 に示す溝 5 b のように側壁の傾きが途中で変化してもよい。この場合、溝 5 b の側壁の傾きが変わる部分（第 1 の延在部の底部）の深さは、実施の形態 2 で説明したように n^- 不純物低濃度層 6 の深さよりも拡散長さ L 以上深くする必要がある。

これにより完成したトレンチ型 MOSFET の構成は、図 2 4 に示すようになる。

なお、図 2 4 に示す構成は、溝 5 b の側壁の傾きが途中で変化していること、およびその変化する部分の深さが p 型および n 型拡散領域 2、3 の深さよりも拡散長さ L 以上深くなっていること以外については、図 6 に示す構成とほぼ同じである。このため、同一の部材については同一の符号を付しその説明は省略する。

なお、図 1 2 と図 1 3 とで示したホウ素とリンの注入角度については、実施の形態 3 で説明したような角度で注入する必要がある。つまり、図 2 5 と図 2 6 とに示すように、 n^- 不純物低濃度層 6 の第 1 主面からの深さよりも拡散長さ L 以上深い側壁面に直接不純物が注入されるような角度にする必要がある。

本実施の形態では、 p 型および n 型拡散領域 2、3 を第 1 主面に垂直な方向に連続して均一な濃度とすることができるため、高耐圧・低 ON 抵抗のトレンチ型 MOSFET を得ることができる。

実施の形態 8

本実施の形態では、平面型 MOSFET について説明する。

図 2 7 を参照して、本実施の形態における平面型 MOSFET は、図 6 に示すトレンチ型 MOSFET と比較して、 p 型ウェル 7 a、ソース n^+ 拡散領域 8 a の配置およびゲート絶縁層 9 a、ゲート電極層 10 a の配置において異なる。つまり、 p 型ウェル 7 a は、半導体基板の第 1 主面においてソース n^+ 拡散領域 8 a と n 型拡散領域 3 との間に挟まれている。そしてそのソース n^+ 拡散領域 8 a と n 型拡散領域 3 とに挟まれた p 型ウェル 7 a の第 1 主面上にゲート絶縁層 9 a を介在してゲート電極層 10 a が形成されている。

なお、それ以外の構成については図 6 に示す構成とほぼ同じであるため、同一の部材については同一の符号を付しその説明は省略する。

次に本実施の形態の製造方法について説明する。

本実施の形態の製造方法は、まず図 9～図 15 に示す実施の形態 7 とほぼ同じ工程を経る。この後、図 28 に示すように溝 5 a 内のみに充填層 5 が残存された後、図 27 に示すようにソース n⁺拡散領域 8 a、ゲート絶縁層 9 a およびゲート電極層 10 a が形成されて平面型 MOSFET が完成する。

なお図 27 においては、溝 5 a の側壁は第 1 主面に対してほぼ垂直に延びているが、図 29 に示す溝 5 b のように側壁の傾きが途中で変化してもよい。この場合、溝の側壁の傾きが変わる部分（第 1 の延在部の底部）の深さは、実施の形態 2 で説明したように p 型および n 型拡散領域 2、3 の深さよりも拡散長さ L 以上深くされる。

なお、これ以外の図 29 に示す構成については、図 27 に示す構成とほぼ同じであるため、同一の部材については同一の符号を付しその説明は省略する。

本実施の形態では、p 型および n 型拡散領域 2、3 を第 1 主面に対して垂直な方向に連続して均一な濃度とすることができるため、高耐圧・低 ON 抵抗の平面型 MOSFET を得ることができる。

実施の形態 9

本実施の形態では、基板表面に p 型ベースを形成したダイオードについて説明する。

図 30 を参照して、半導体基板の第 1 主面には、複数の溝 5 a が繰返し設けられている。この溝 5 a に挟まれる領域内には、p 型および n 型拡散領域 2、3 が設けられており、p 型拡散領域 2 は一方の溝 5 a の側壁面に設けられており、n 型拡散領域 3 は他方の溝 5 a の側壁面に設けられている。この p 型拡散領域 2 と n 型拡散領域 3 とは、溝 5 a の深さ方向に沿って p n 接合部を構成している。

p 型および n 型拡散領域 2、3 の第 1 主面側には p 型ベース領域 7 が形成されている。溝 5 a 内には、低不純物密度のシリコン（単結晶、多結晶、非晶質、微結晶を含む）、シリコン酸化膜などの絶縁物よりなる充填層 5 が充填されている。p 型および n 型拡散領域 2、3 と溝 5 a との p n 繰返し構造の第 2 主面側には n 型高濃度基板領域 1 が形成されている。

p 型拡散領域 2 は一方の溝 5 a の側壁面から拡散された不純物濃度を有し、n

型拡散領域 3 は他方の溝 5 a の側壁面から拡散された不純物濃度分布を有している。

溝 5 a の第 1 主面からの深さ L_d は、 $p-n$ 繰返し構造の第 1 主面からの深さ N_d よりも拡散長さ L 以上だけ深く形成されている。

5 次に本実施の形態の製造方法について説明する。

本実施の形態の製造方法は、まず図 9 ～ 図 15 に示す実施の形態 1 とほぼ同じ工程を経て、その後、図 28 に示す実施の形態 8 と同様の構成を経る。そして、CVD シリコン窒化膜 13 と熱酸化膜 12 とが順次除去されて図 30 に示すダイオードが完成する。

10 なお、図 30 においては、溝 5 a の側壁は第 1 主面に対してほぼ垂直に延びているが、図 31 に示す溝 5 b のように側壁の傾きが途中で変化してもよい。この場合、溝 5 b の側壁の傾きが変わる部分（第 1 の延在部の底部）の深さは、実施の形態 2 で説明したように p 型および n 型拡散領域 2、3 の深さよりも拡散長さ L 以上深くされる。

15 なお、これ以外の図 31 に示す構成については図 30 に示す構成とほぼ同じであるため、同一の部材については同一の符号を付しその説明は省略する。

本実施の形態では、 p 型および n 型拡散領域 2、3 を第 1 主面に垂直な方向に連続して均一な濃度とすることができるため、高耐圧・低 ON 抵抗のダイオードを得ることができる。

20 実施の形態 10

本実施の形態では、基板表面にショットキー接合を形成したショットキーバリアダイオードについて説明する。

図 32 を参照して、本実施の形態では、図 30 に示す構成と比較して、 p 型ベース領域 7 の代わりにショットキー接合をなす電極 18 が設けられている点で異なる。つまり、 $p-n$ 繰返し構造をなす p 型拡散領域 2 と n 型拡散領域 3 とは半導体基板の第 1 主面まで形成されており、 n 型拡散領域 3 の第 1 主面上にショットキー接合を構成する電極 18 が形成されている。

25 なお、これ以外の構成については、図 30 に示す構成とほぼ同じであるため、同一の部材については同一の符号を付しその説明は省略する。

次に本実施の形態の製造方法について説明する。

図 3 3 を参照して、 n 型高濃度基板領域 1 上に、たとえばエピタキシャル成長により n^{-} 不純物低濃度層 6 が形成される。この後、第 1 主面上に、熱酸化膜 1 2 と CVD シリコン窒化膜 1 3 と CVD シリコン酸化膜 1 4 とからなる 3 層積層構造が所望形状となるように形成される。この積層構造 1 2、1 3、1 4 をマスクとしてその下層に異方性エッチングが施される。

図 3 4 を参照して、このエッチングにより、 n^{-} 不純物低濃度層 6 を貫通して n 型高濃度基板領域 1 に達する溝 5 a が形成される。この溝 5 a の第 1 主面からの深さは、 n^{-} 不純物低濃度層 6 の第 1 主面からの深さよりも拡散長さ L 以上深くされる。

この後、図 1 2 ～図 1 4 に示すようにイオン注入と不純物拡散のための熱処理とが施されて図 3 5 に示す状態とされる。この後、充填層 5 が溝 5 a 内のみに残存するように除去されるとともに CVD シリコン酸化膜 1 4 が除去され、その後さらに CVD シリコン窒化膜 1 3 と熱酸化膜 1 2 とが順次除去されて図 3 6 に示す状態となる。この後、図 3 2 に示すように n 型拡散領域 3 にショットキー接合するような電極 1 8 が第 1 主面上に形成されて、ショットキーバリアダイオードが完成する。

なお、図 3 2 においては、溝 5 a の側壁は第 1 主面に対してほぼ垂直に延びているが、図 3 7 に示す溝 5 b のように側壁の傾きが途中で変化してもよい。この場合、溝 5 b の側壁の傾きが変わる部分（第 1 の延在部の底部）の深さは、 p 型および n 型拡散領域 2、3 の深さよりも拡散長さ L 以上深くされる。

なお、これ以外の図 3 7 に示す構成については、図 3 2 に示す構成とほぼ同じであるため、同一の部材については同一の符号を付し、その説明は省略する。

本実施の形態では、 p 型および n 型拡散領域 2、3 を第 1 主面に垂直な方向に連続して均一な濃度とすることができるため、高耐圧・低 ON 抵抗のショットキーバリアダイオードを得ることができる。

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更

が含まれることが意図される。

産業上の利用可能性

- 本発明は、各種電源装置などに使用される低ON抵抗で低スイッチング損失な
- 5 電力半導体装置およびその製造方法に有利に適用され得る。

請求の範囲

1. 互いに対向する第1および第2主面を有し、かつ前記第1主面に設けられた複数の溝を有する第1導電型の半導体基板と、

5 複数の前記溝のうち隣り合う一方および他方の溝に挟まれる前記半導体基板の領域内の前記一方の溝の側壁面に形成され、前記一方の溝の側壁面から第1導電型不純物が拡散された不純物濃度分布を有し、かつ前記半導体基板の第1導電型の領域よりも低い不純物濃度を有する第1導電型の第1不純物領域と、

10 前記一方および他方の溝に挟まれる前記領域内の前記他方の溝の側壁面に形成され、前記他方の溝の側壁面から第2導電型不純物が拡散された不純物濃度分布を有し、かつ前記第1不純物領域とpn接合を形成する第2導電型の第2不純物領域とを備え、

前記一方および他方の溝は、前記第1主面に対して側壁面が所定の傾きを維持しながら前記第1主面から第1の深さ位置まで延びる第1の延在部を有し、

15 前記第1および第2不純物領域は、前記第1の深さ位置から前記第1主面側へ前記第1および第2導電型不純物が製造時に拡散する長さ以上浅く形成されている、半導体装置。

2. 前記一方および他方の溝は、前記第1の延在部に連通して前記第1の深さ位置よりも前記第2主面側の第2の深さ位置まで延び、かつ前記第1の延在部とは異なる前記側壁面の傾きを有する第2の延在部をさらに有する、請求項1に記載の半導体装置。

3. 前記第1および第2不純物領域の前記第1主面側に形成され、前記第2不純物領域に電氣的に接続された第2導電型の第3不純物領域と、

25 前記第3不純物領域を挟んで前記第1不純物領域と対向するように前記第1主面および前記一方の溝の側壁面の少なくともいずれかに形成された第1導電型の第4不純物領域と、

前記第1および第4不純物領域に挟まれる前記第3不純物領域にゲート絶縁層を介在して対向するゲート電極層とをさらに備えた、請求項1に記載の半導体装置。

4. 前記ゲート電極層は、前記溝内に形成されている、請求項3に記載の半導体

装置。

5. 前記ゲート電極層は、前記第 1 主面上に形成されている、請求項 3 に記載の半導体装置。

6. 前記第 1 および第 2 不純物領域の前記第 1 主面側に形成され、前記第 2 不純物領域に電氣的に接続された第 2 導電型の第 3 不純物領域をさらに備えた、請求項 1 に記載の半導体装置。

7. 前記第 1 不純物領域にショットキー接合された電極層をさらに備えた、請求項 1 に記載の半導体装置。

8. 前記第 1 および第 2 導電型不純物が製造時に拡散する長さは、前記一方または他方の溝の側壁面から前記第 1 および第 2 不純物領域の p n 接合までの距離より長い、請求項 1 に記載の半導体装置。

9. 互いに対向する第 1 および第 2 主面を有し、前記第 2 主面に第 1 導電型の高濃度領域を有し、かつ前記高濃度領域の前記第 1 主面側に第 1 導電型の低濃度領域を有する半導体基板を形成する工程と、

15 前記第 1 主面に対して側壁面が所定の傾きを維持しながら前記第 1 主面から前記高濃度領域内の第 1 の深さ位置まで延びる第 1 の延在部を有する複数の溝を前記半導体基板に形成する工程と、

複数の前記溝のうち隣り合う一方および他方の溝に挟まれる前記半導体基板の領域内の前記一方の溝の側壁面に第 1 導電型不純物を斜め注入して、前記一方の溝の側壁面に前記高濃度領域よりも低い不純物濃度を有する第 1 導電型の第 1 不純物領域を形成する工程と、

前記一方および他方の溝に挟まれる前記半導体基板の領域内の前記他方の溝の側壁面に第 2 導電型不純物を斜め注入して、前記第 1 不純物領域と p n 接合を構成するように前記他方の溝の側壁面に第 2 導電型の第 2 不純物領域を形成する工程とを備え、

前記第 1 の深さ位置は、前記高濃度領域と前記低濃度領域との接合部から前記第 2 主面側へ前記第 1 および第 2 導電型不純物が製造時に拡散する長さ以上の間隔をおいて位置し、

前記第 1 および第 2 導電型不純物の双方は、前記高濃度領域と前記低濃度領域

との接合部から前記第 2 主面側へ前記第 1 および第 2 導電型不純物が製造時に拡散する長さ以上の間隔をおいた深さ位置の前記溝の側壁面に直接入射する角度で注入される、半導体装置の製造方法。

10 10. 複数の前記溝は、前記第 1 の延在部に連通して前記第 1 の深さ位置よりも前記第 2 主面側の第 2 の深さ位置まで延び、かつ前記第 1 の延在部とは異なる前記側壁面の傾きを有する第 2 の延在部を有するように形成される、請求項 9 に記載の半導体装置の製造方法。

11. 前記第 1 および第 2 不純物領域の前記第 1 主面側に、前記第 2 不純物領域に電氣的に接続するように第 2 導電型の第 3 不純物領域を形成する工程と、

10 前記第 3 不純物領域を挟んで前記第 1 不純物領域と対向するように前記第 1 主面および前記一方の溝の側壁面の少なくともいずれかに第 1 導電型の第 4 不純物領域を形成する工程と、

15 前記第 1 および第 4 不純物領域に挟まれる前記第 3 不純物領域にゲート絶縁層を介在して対向するようにゲート電極層を形成する工程とをさらに備える、請求項 9 に記載の半導体装置の製造方法。

12. 前記ゲート電極層は前記溝内に形成される、請求項 11 に記載の半導体装置の製造方法。

13. 前記ゲート電極層は前記第 1 主面上に形成される、請求項 11 に記載の半導体装置の製造方法。

20 14. 前記第 1 および第 2 不純物領域の前記第 1 主面側に、前記第 2 不純物領域に電氣的に接続するように第 2 導電型の第 3 不純物領域を形成する工程をさらに備えた、請求項 9 に記載の半導体装置の製造方法。

15. 前記第 1 不純物領域にショットキー接合された電極層を形成する工程をさらに備えた、請求項 9 に記載の半導体装置の製造方法。

25 16. 前記第 1 および第 2 導電型不純物が製造時に拡散する長さは、前記一方または他方の溝の側壁面から前記第 1 および第 2 不純物領域の p n 接合までの距離より長い、請求項 9 に記載の半導体装置の製造方法。

FIG. 1

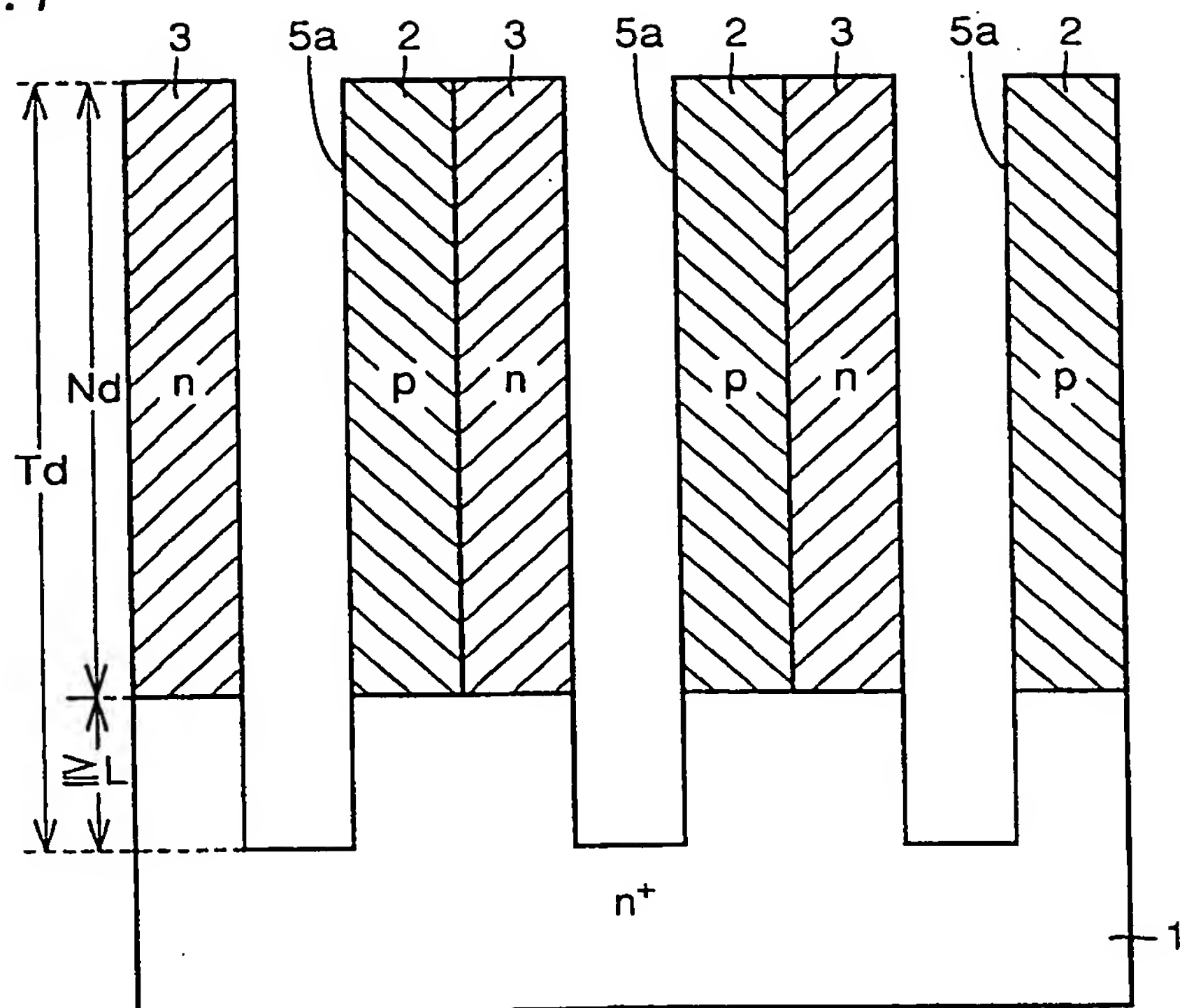


FIG. 2

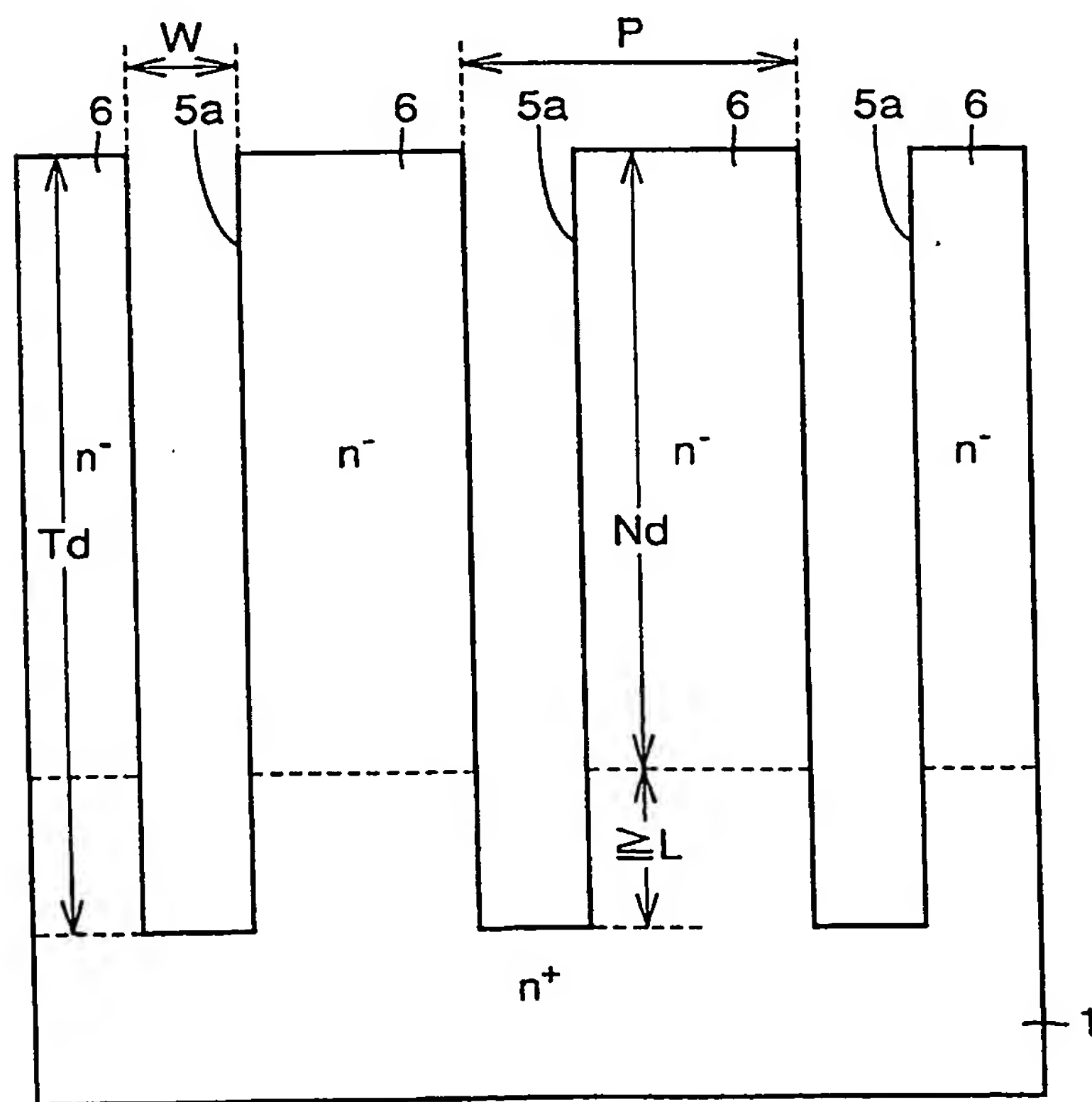


FIG.3

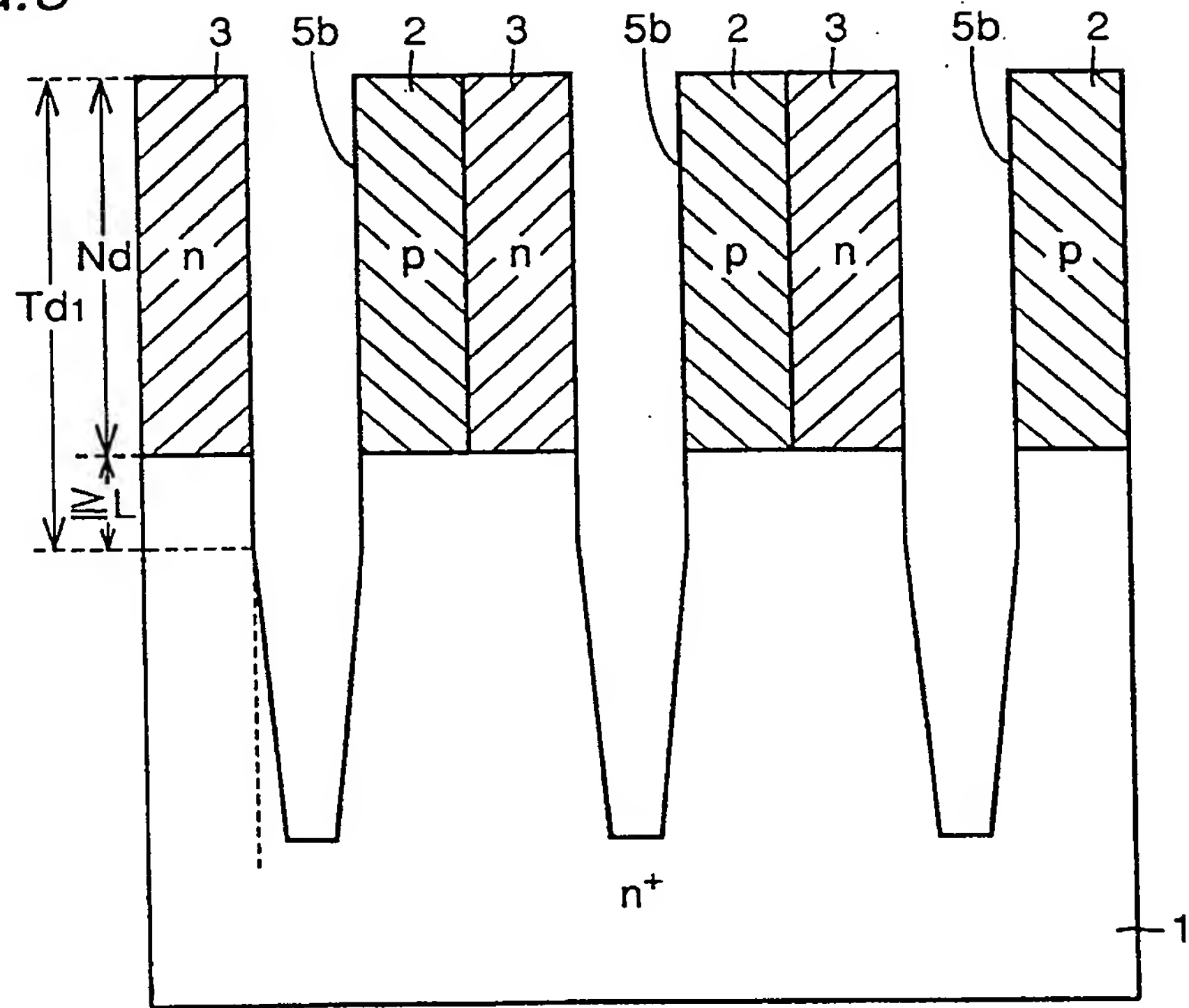


FIG.4

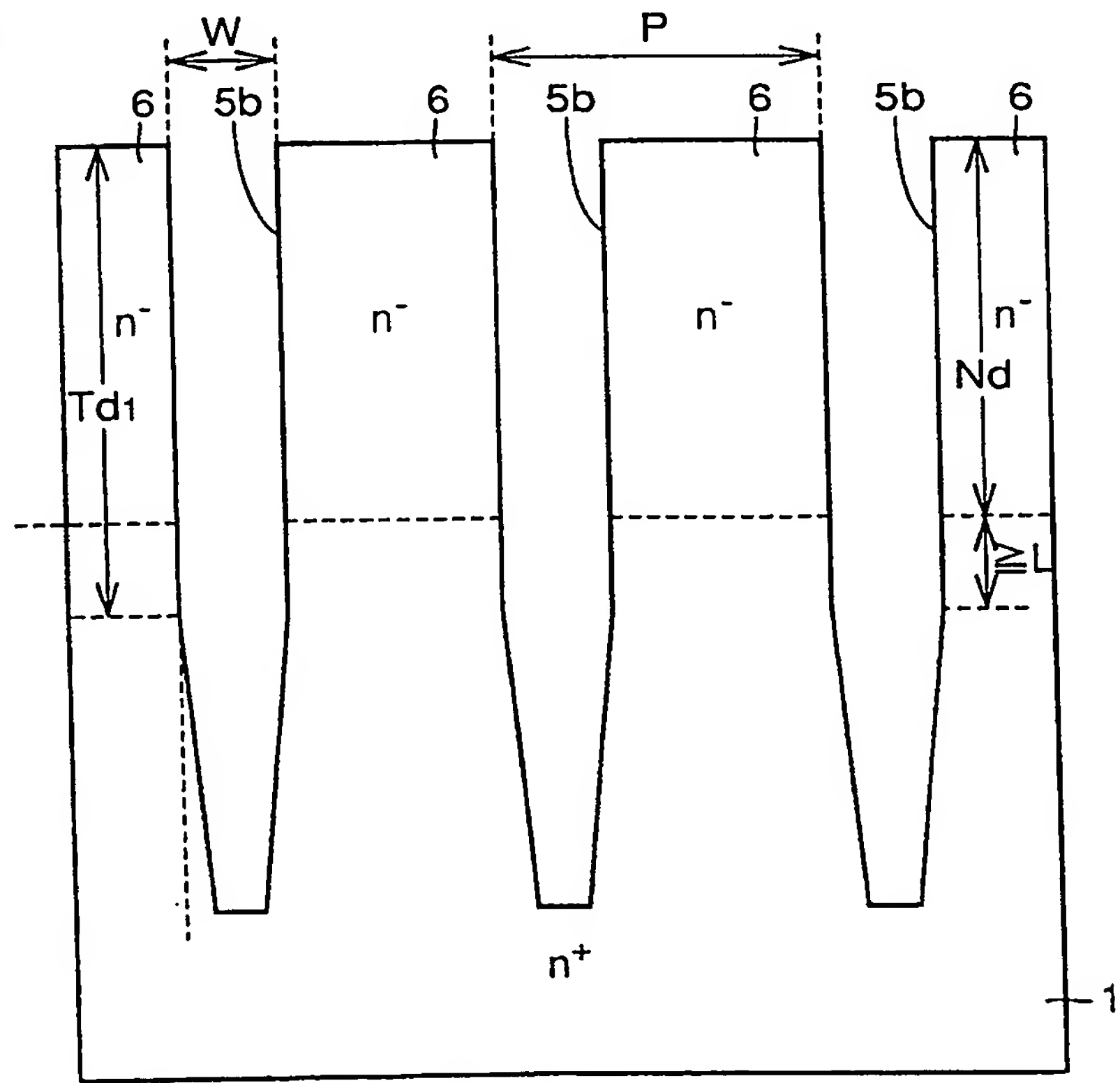


FIG.5

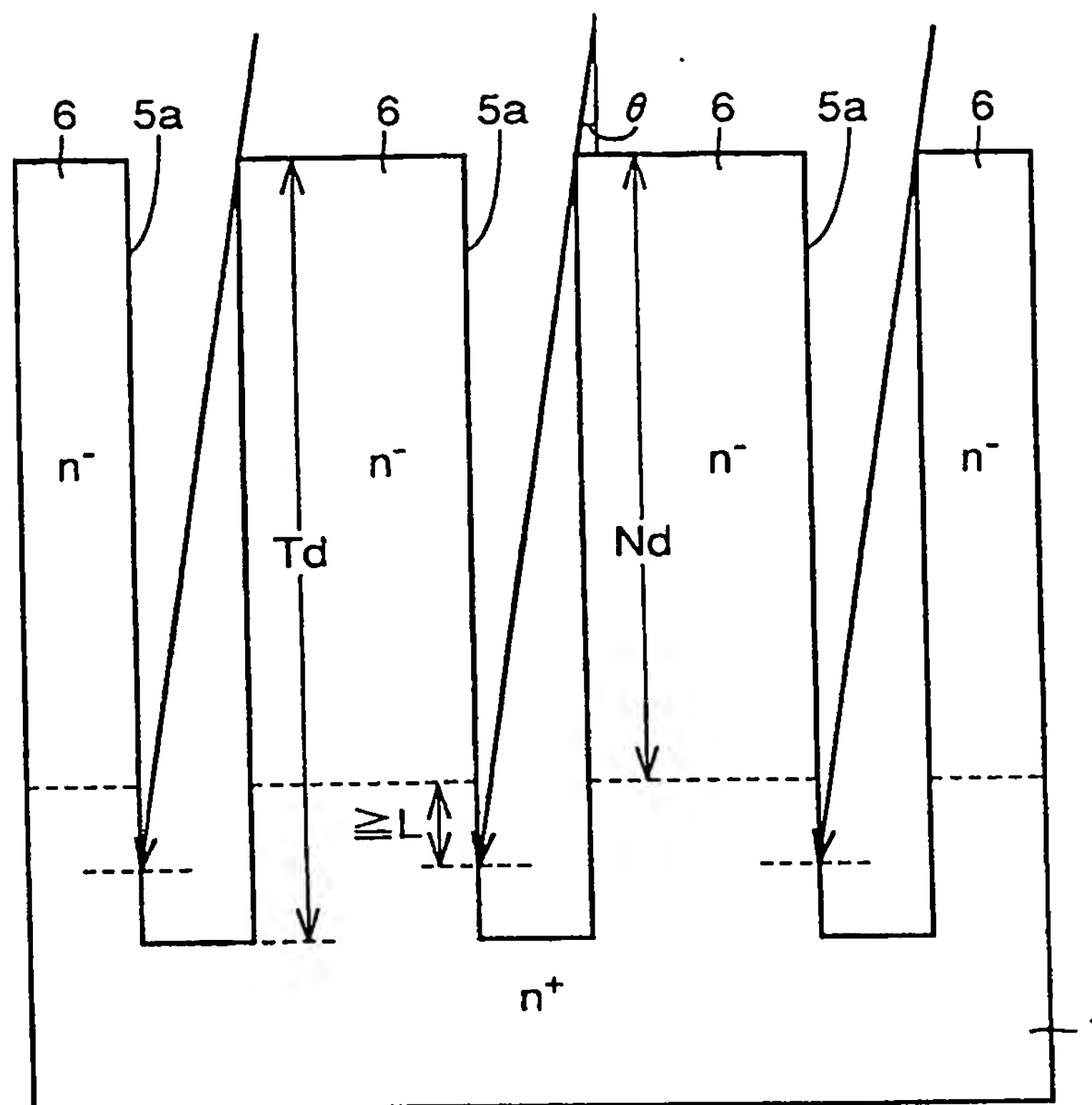


FIG.6

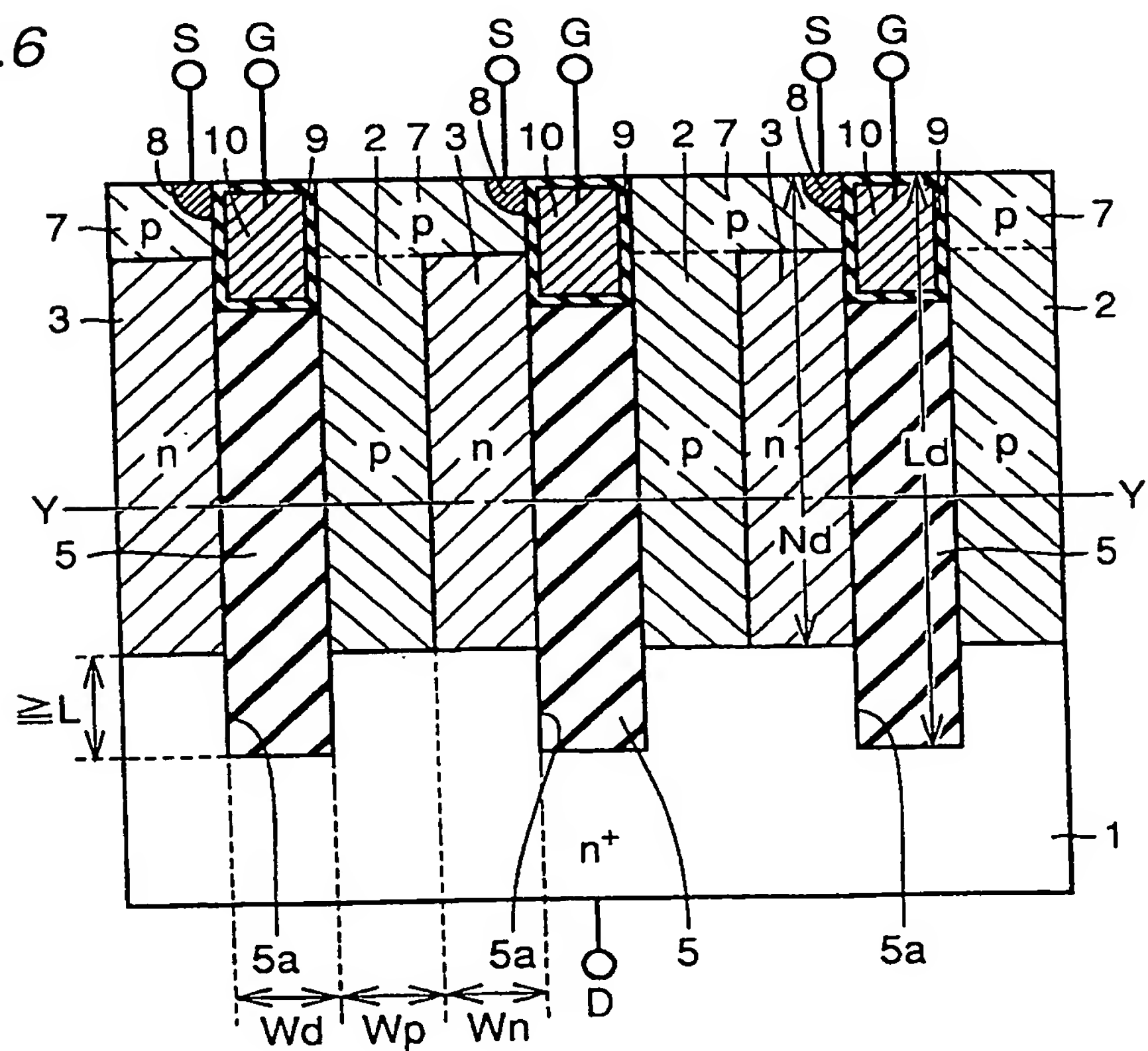


FIG.7

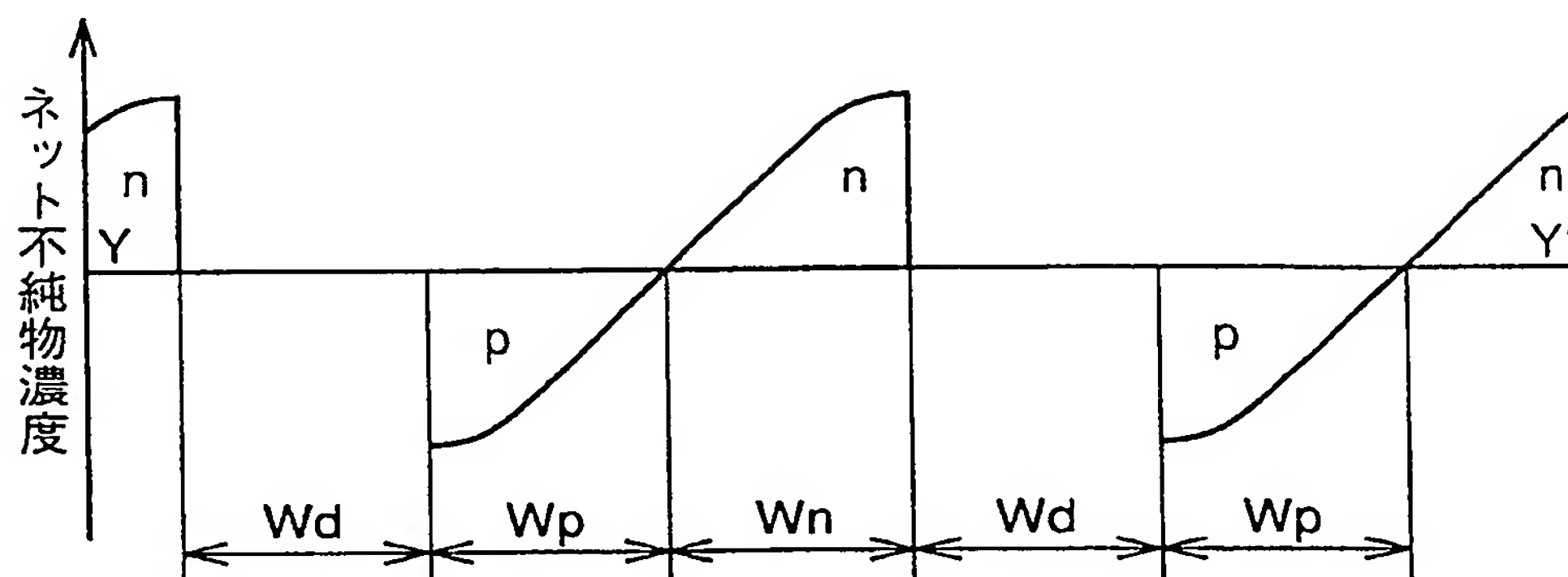


FIG.8

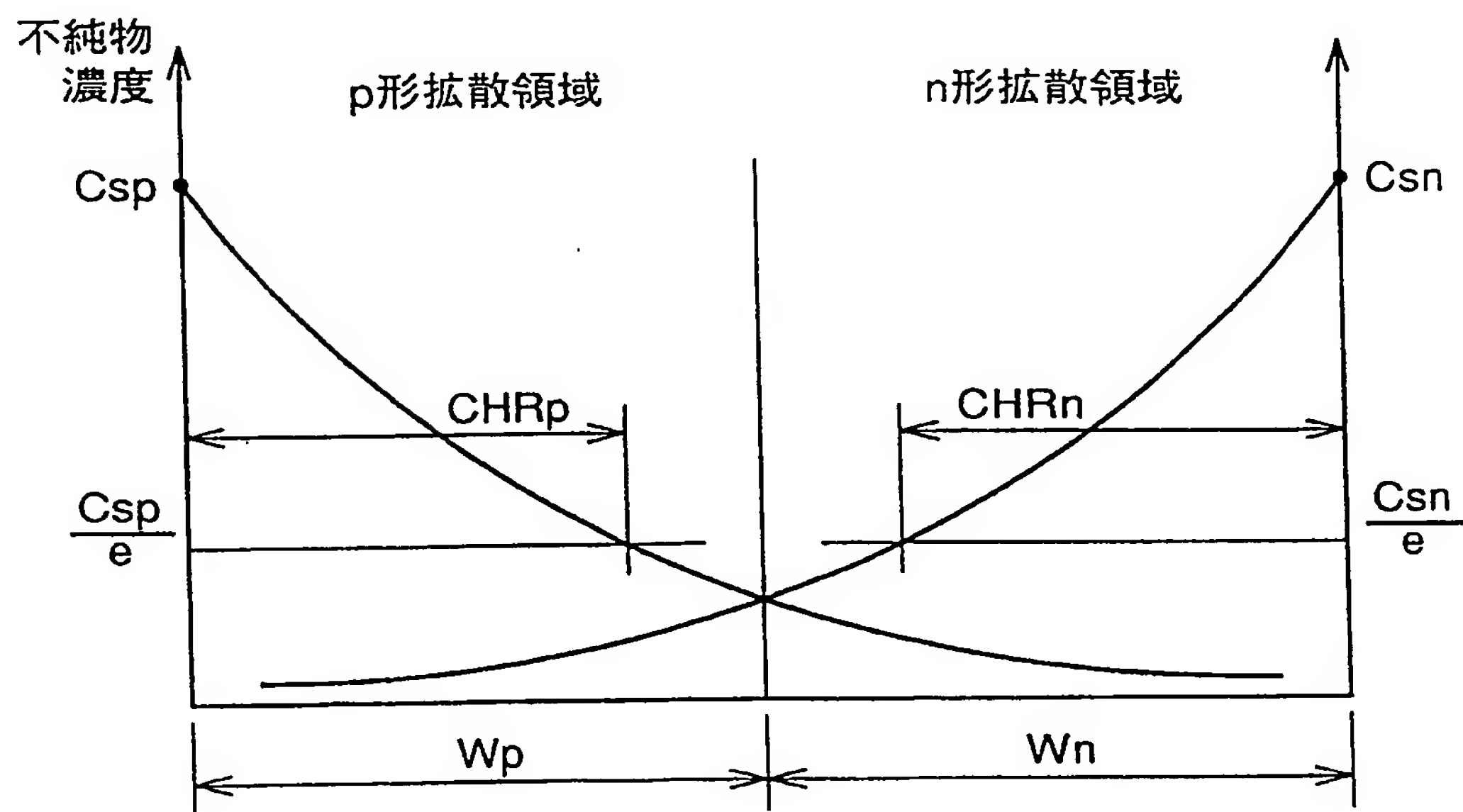


FIG. 11

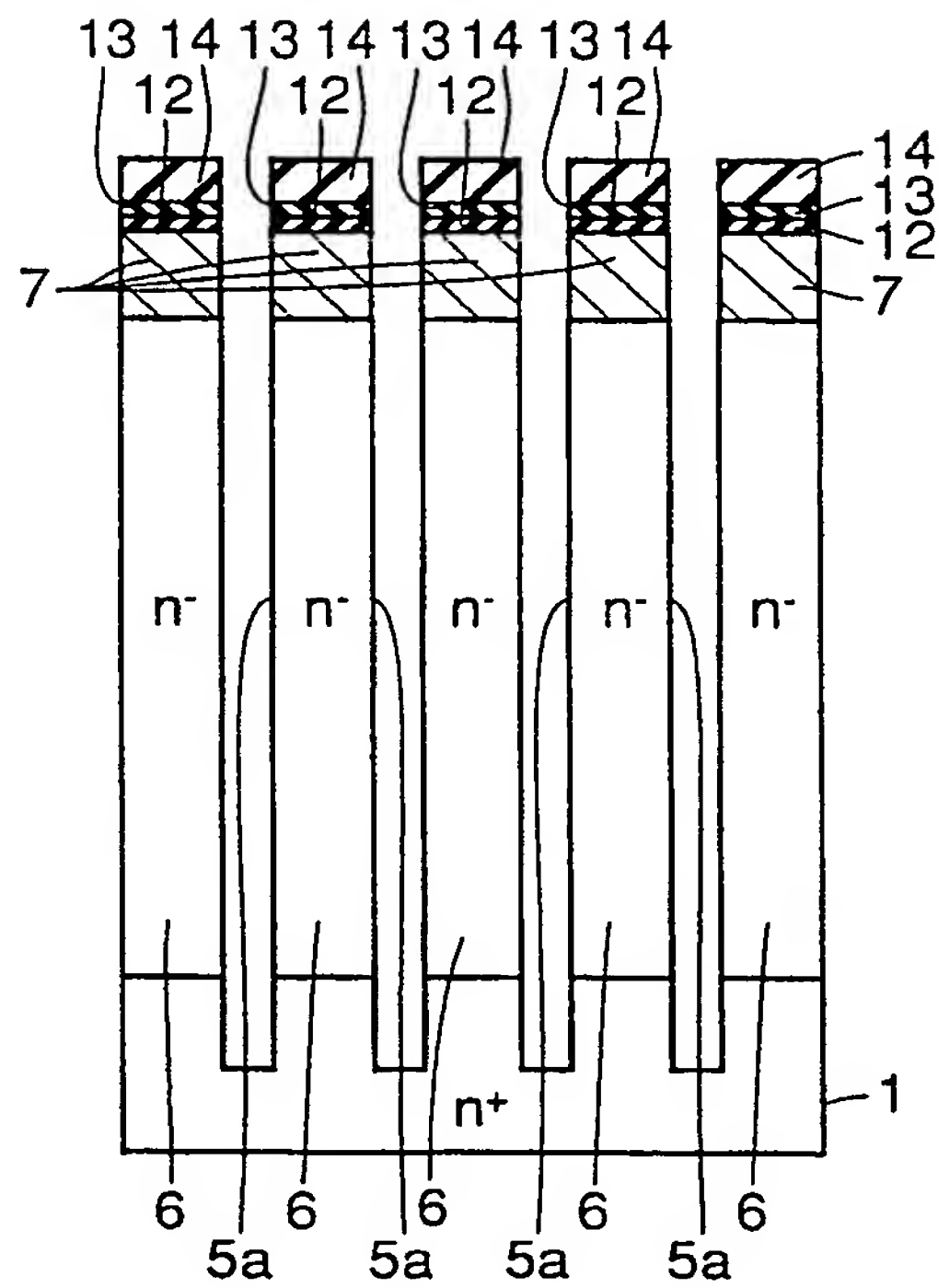


FIG. 12

硼素注入

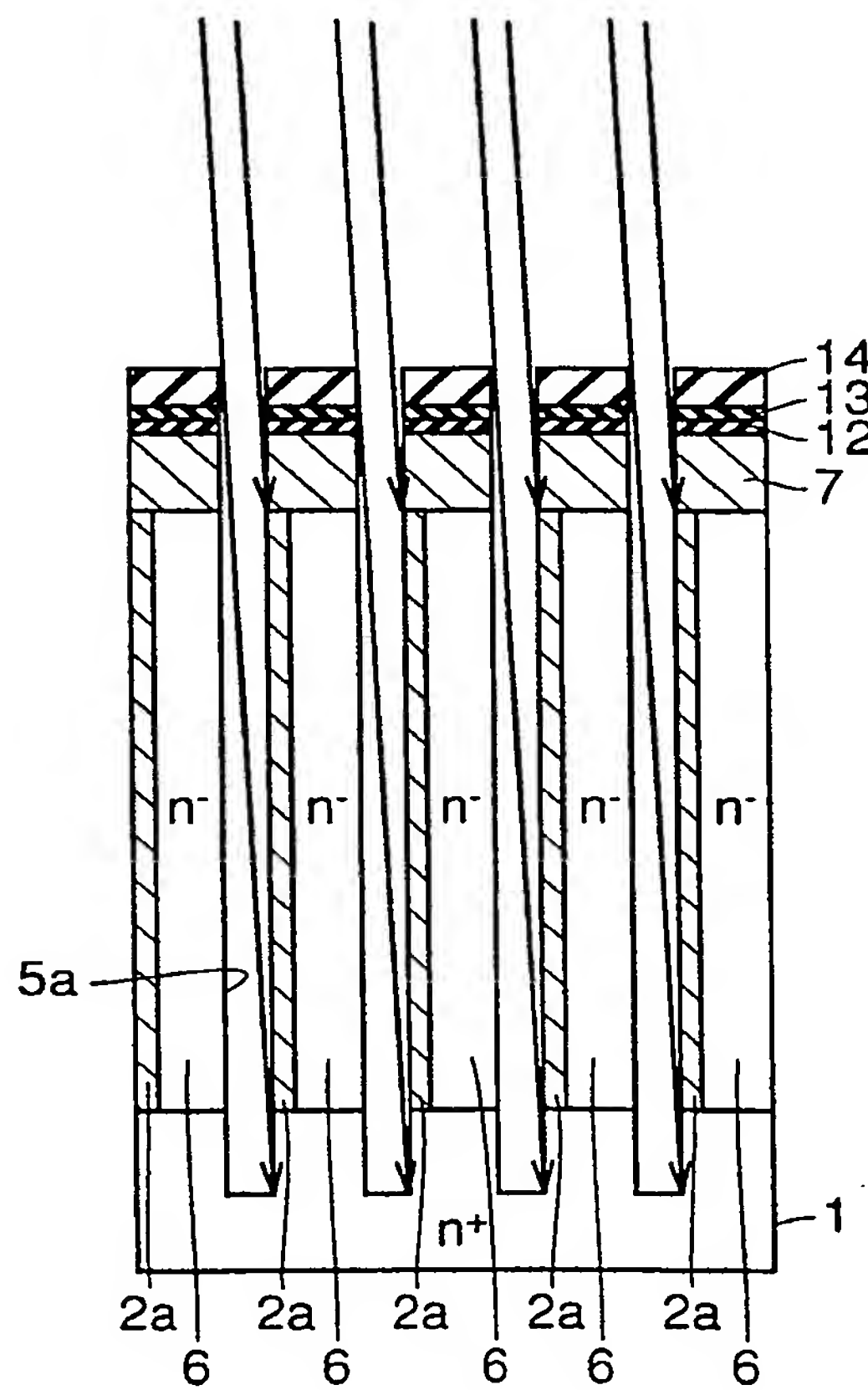


FIG.13

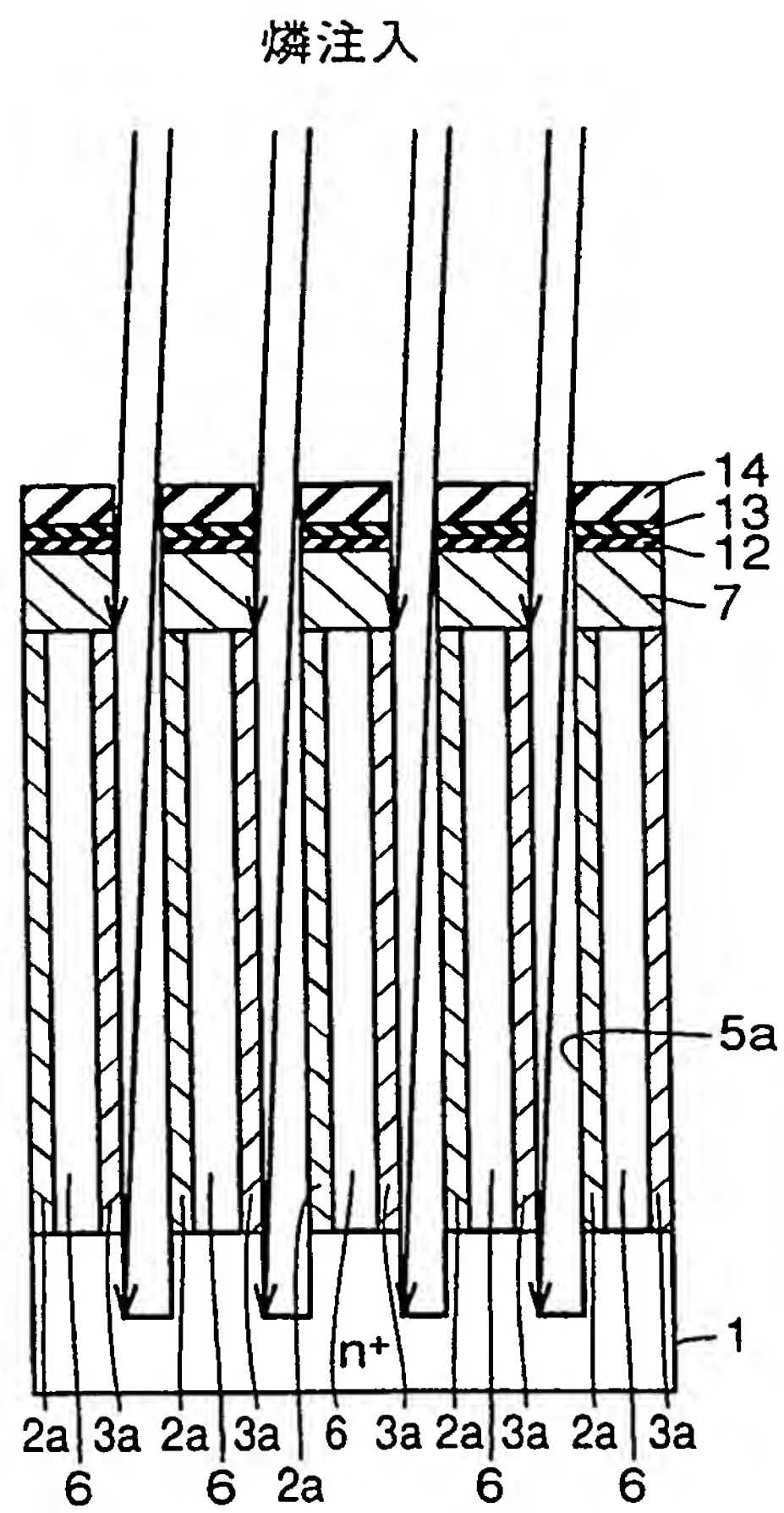


FIG. 14

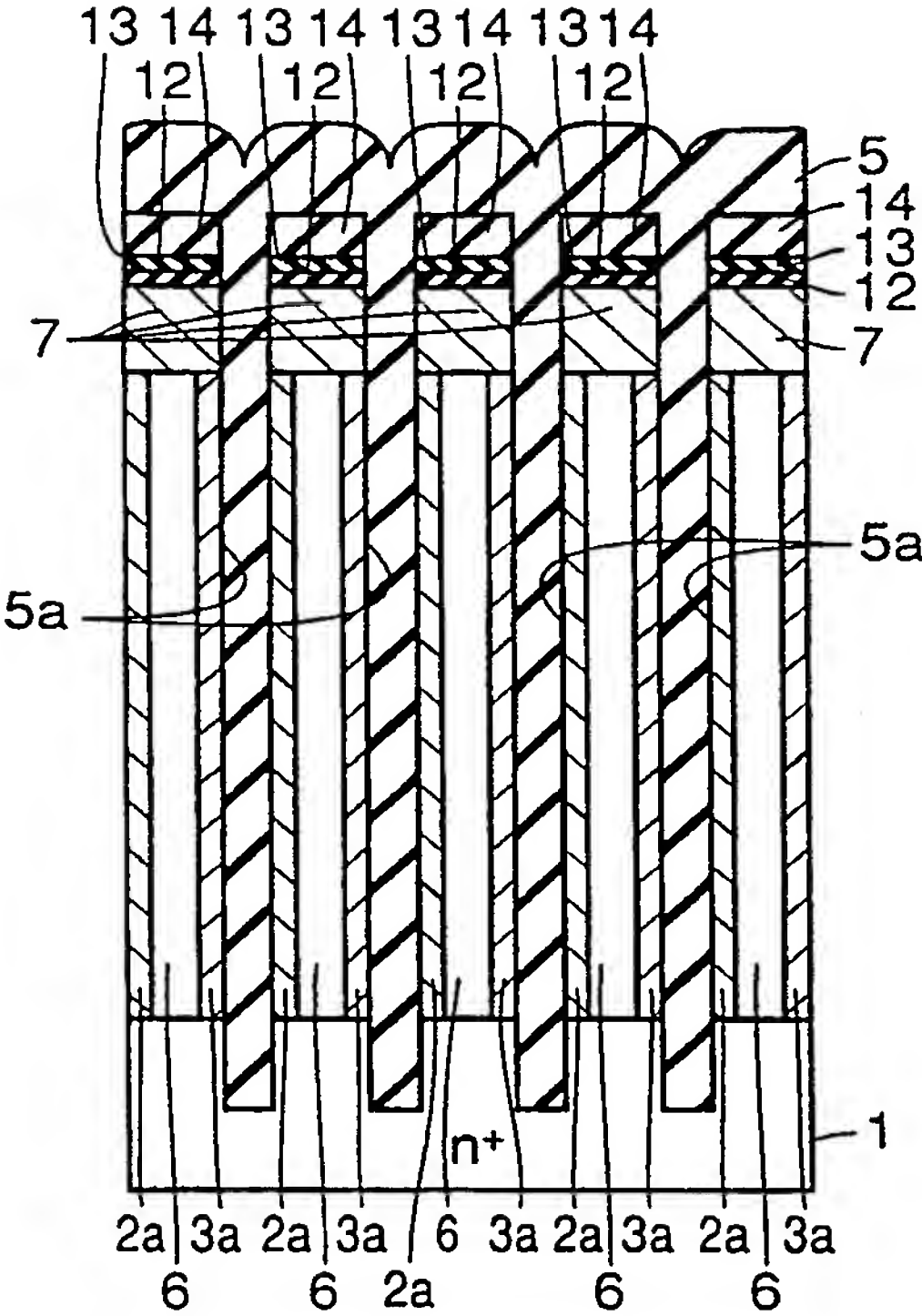


FIG. 15

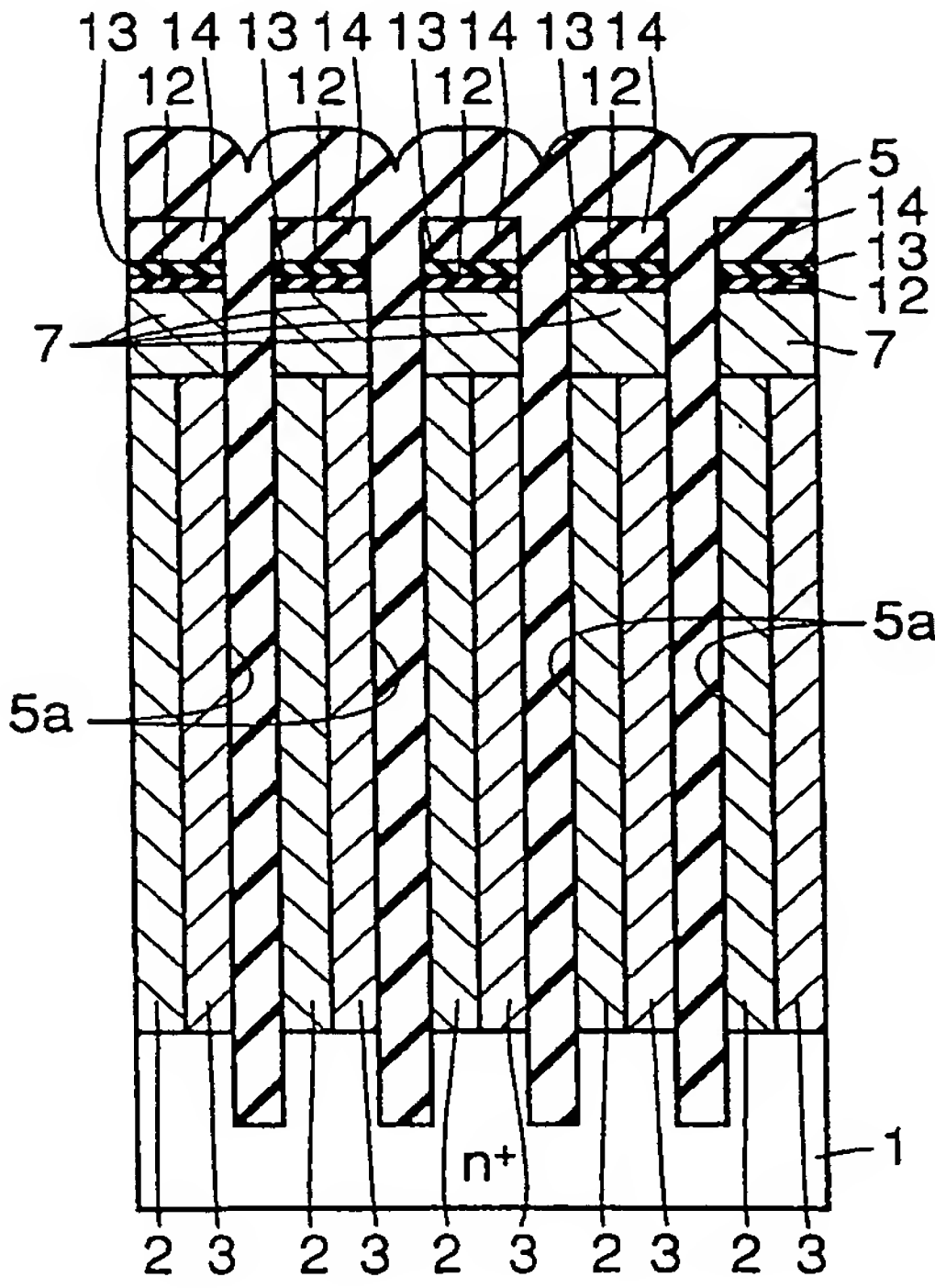


FIG. 16

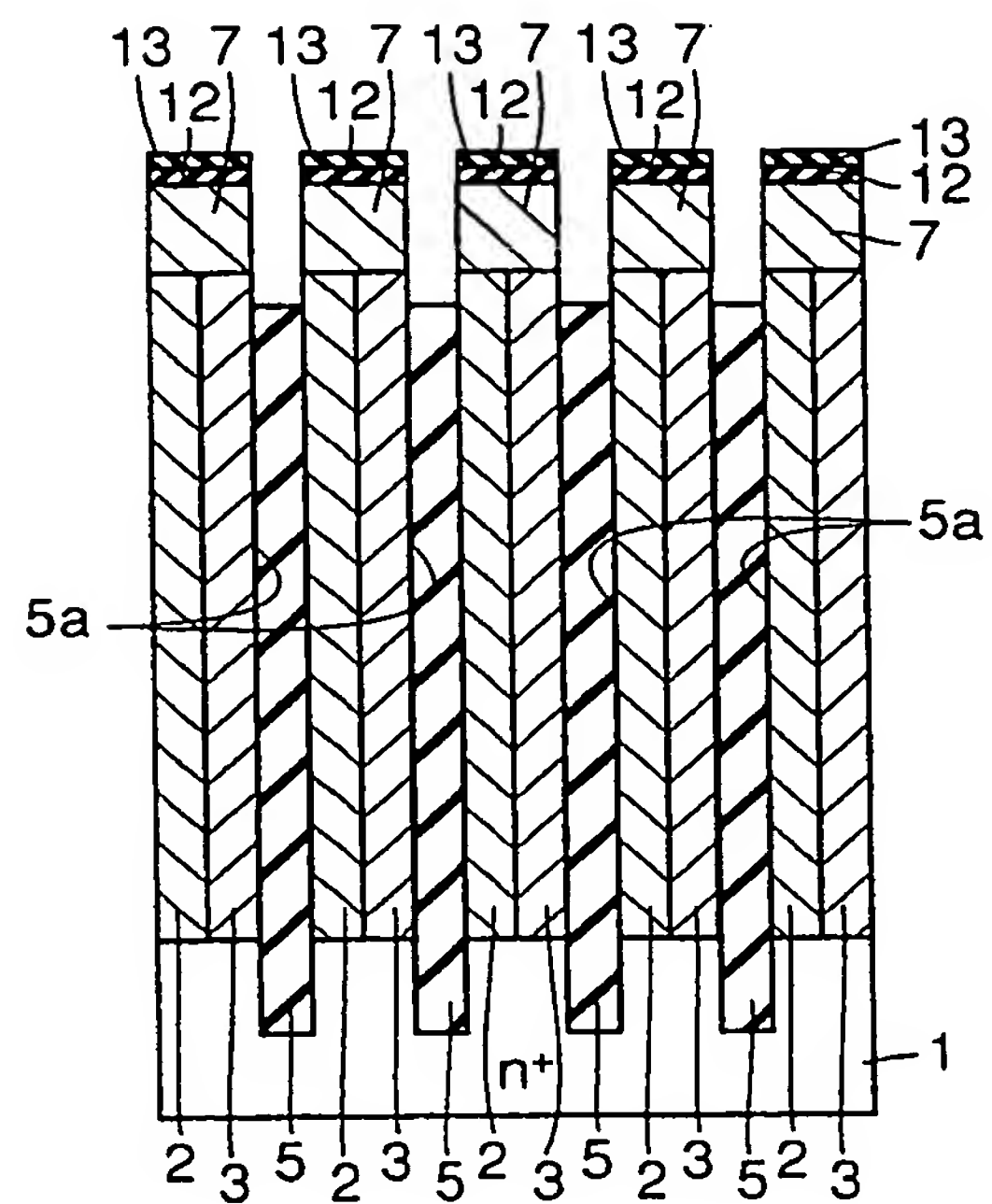


FIG. 17

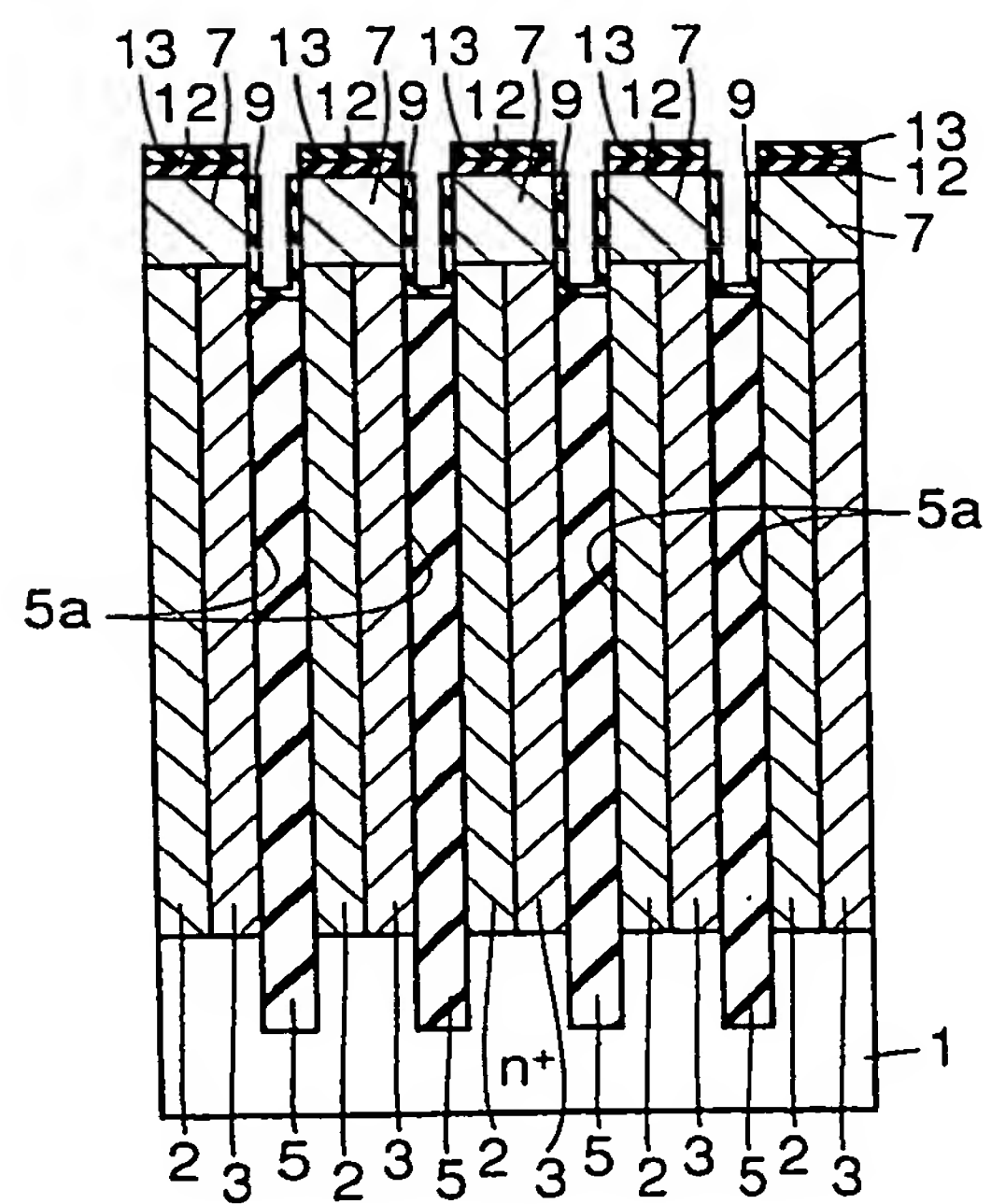


FIG. 18

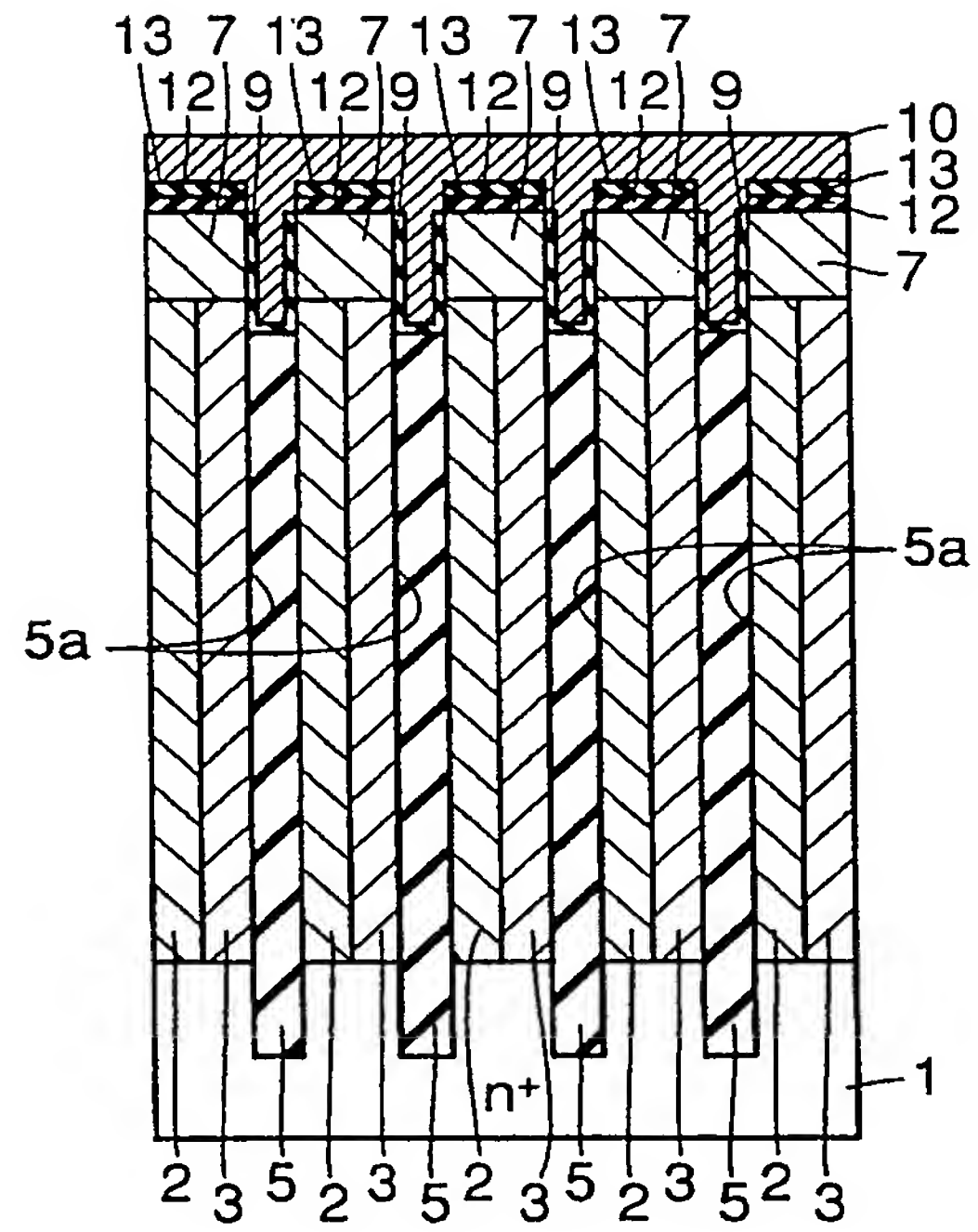


FIG. 19

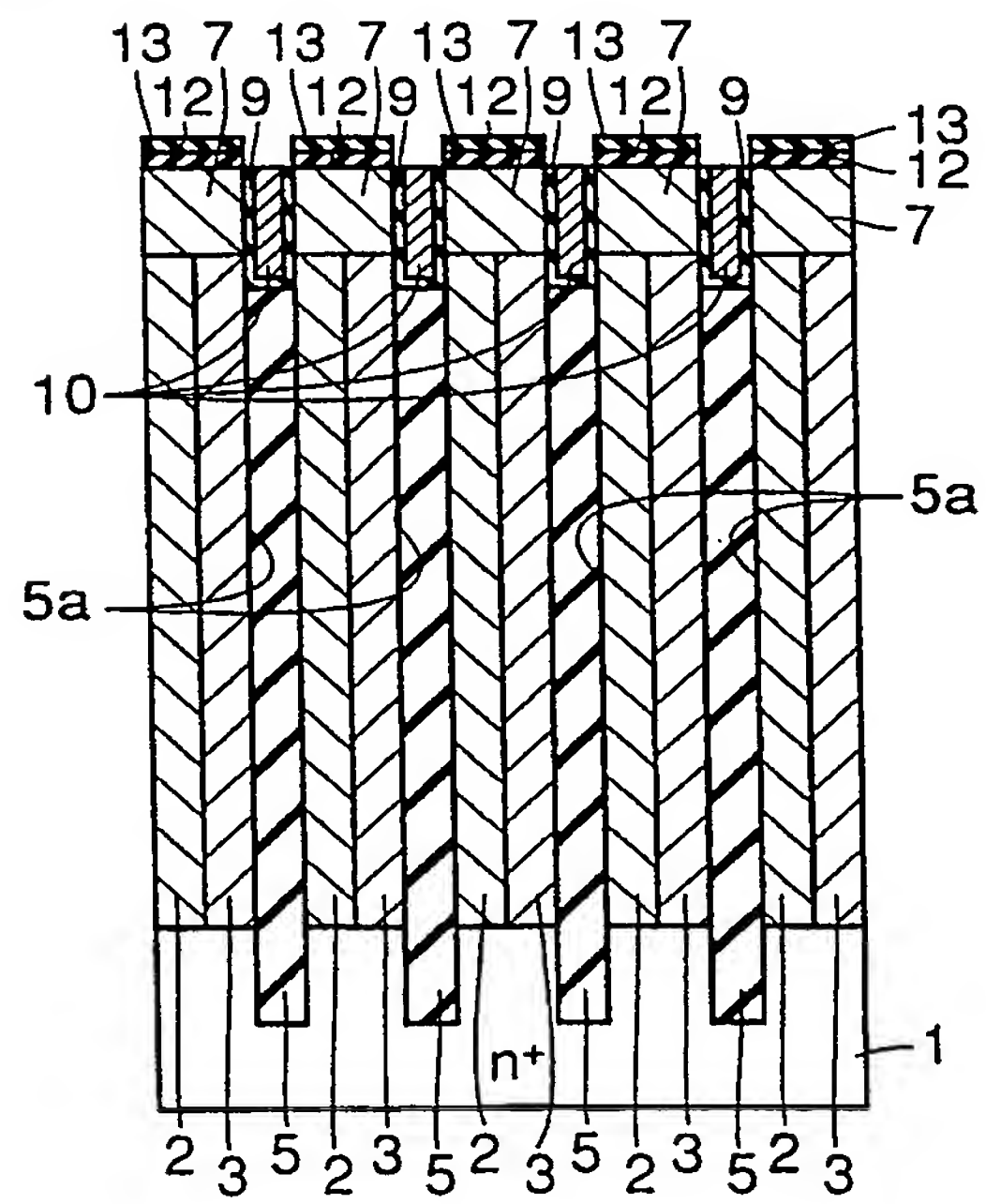


FIG.20

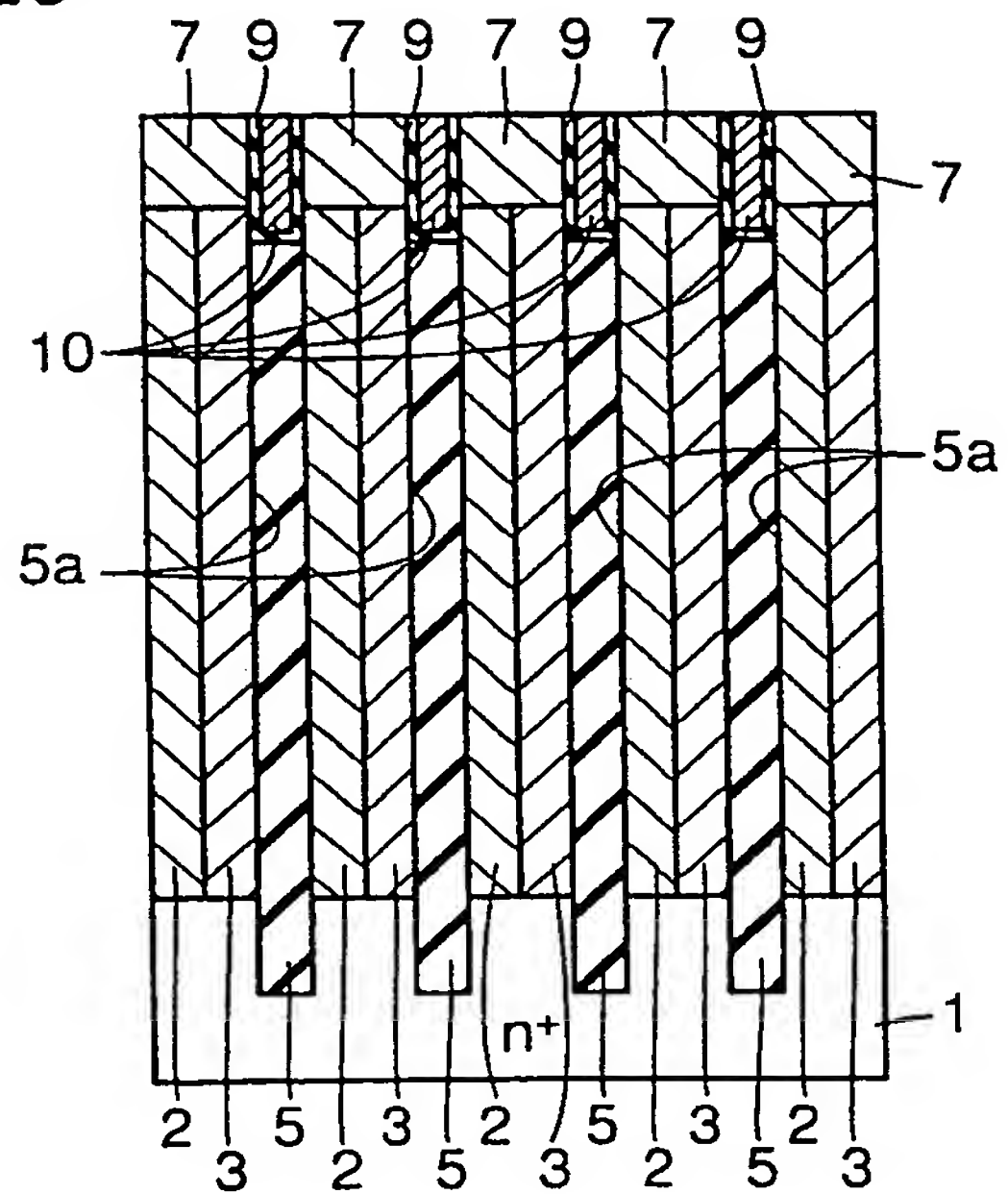


FIG.21

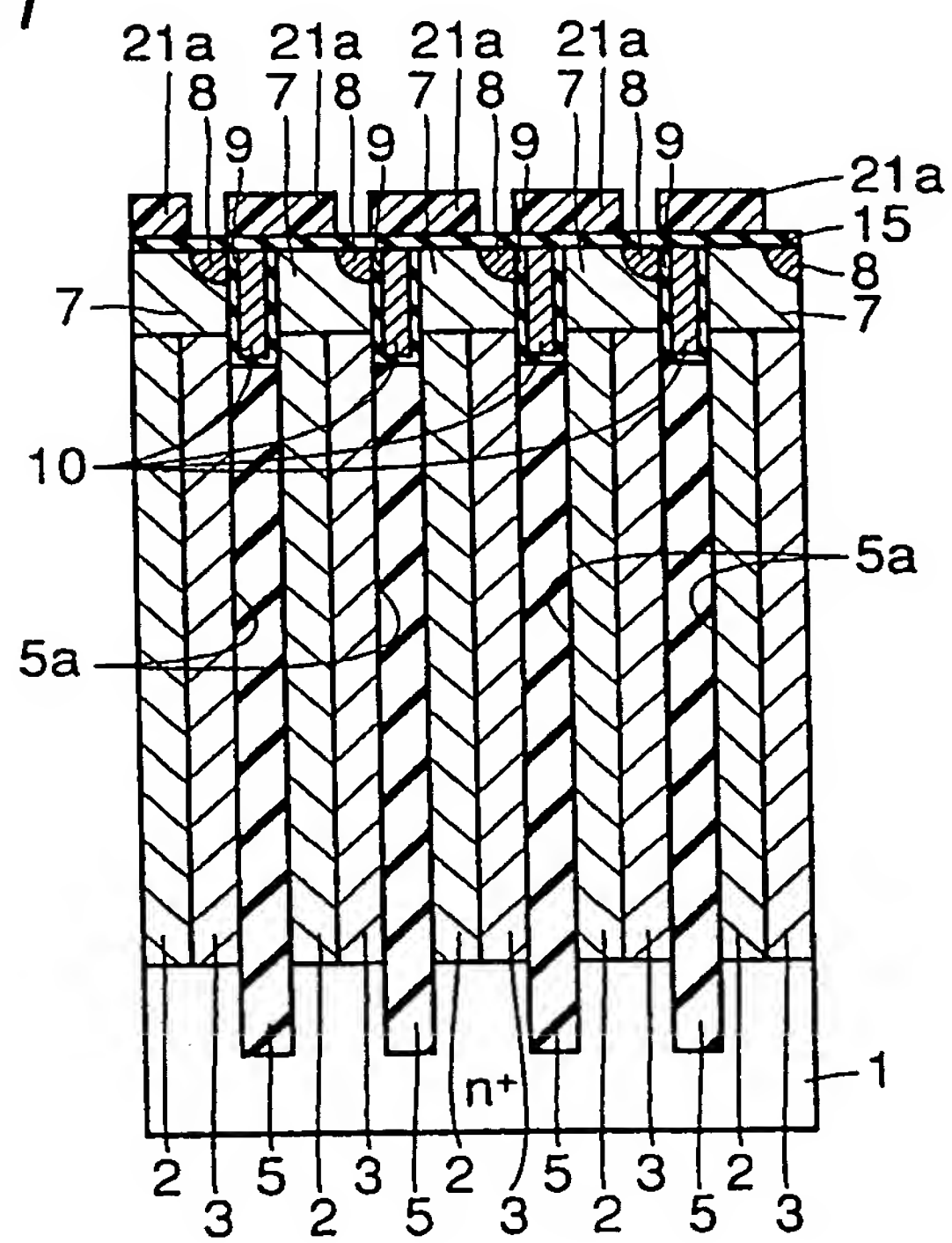


FIG.22

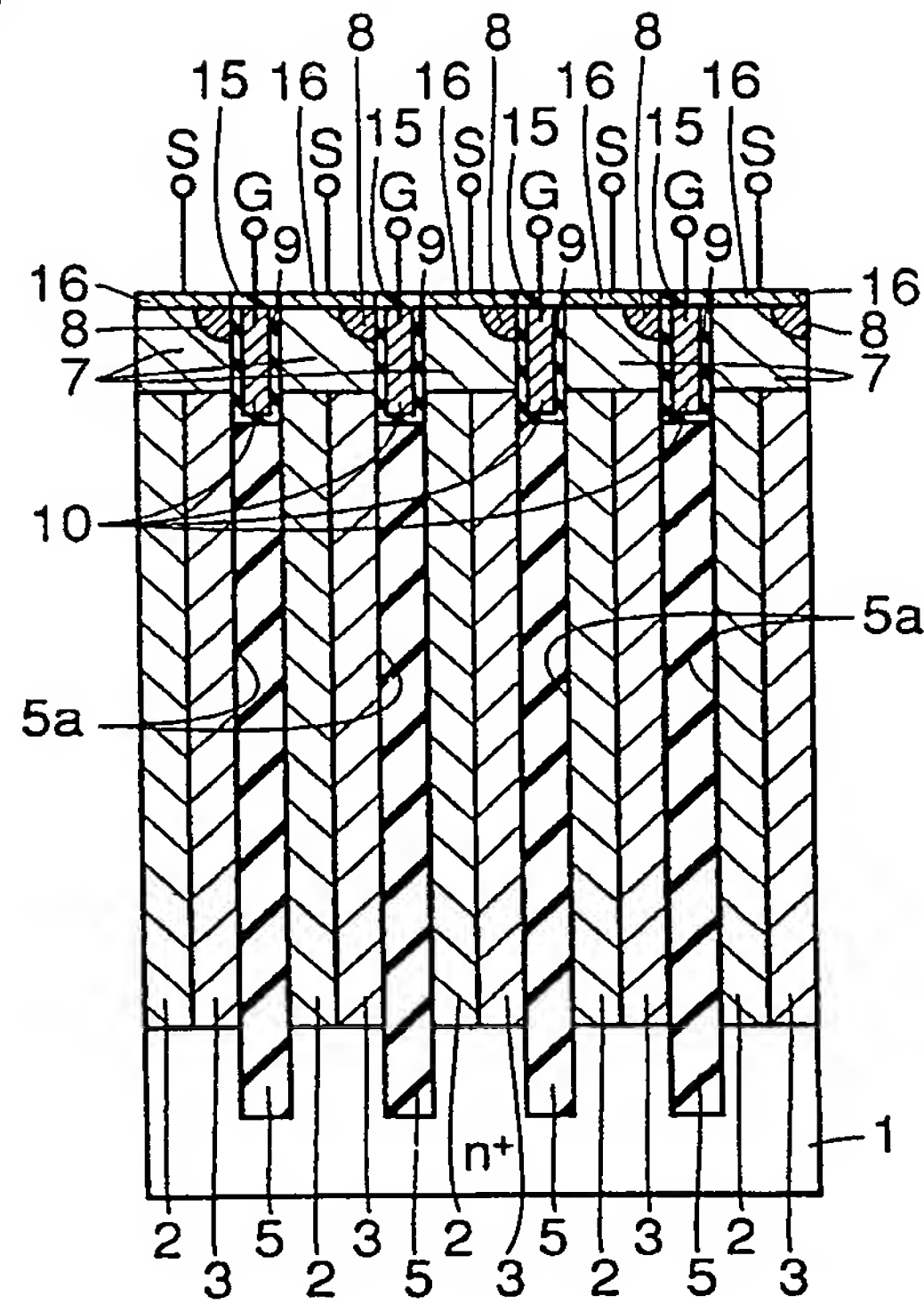


FIG.23

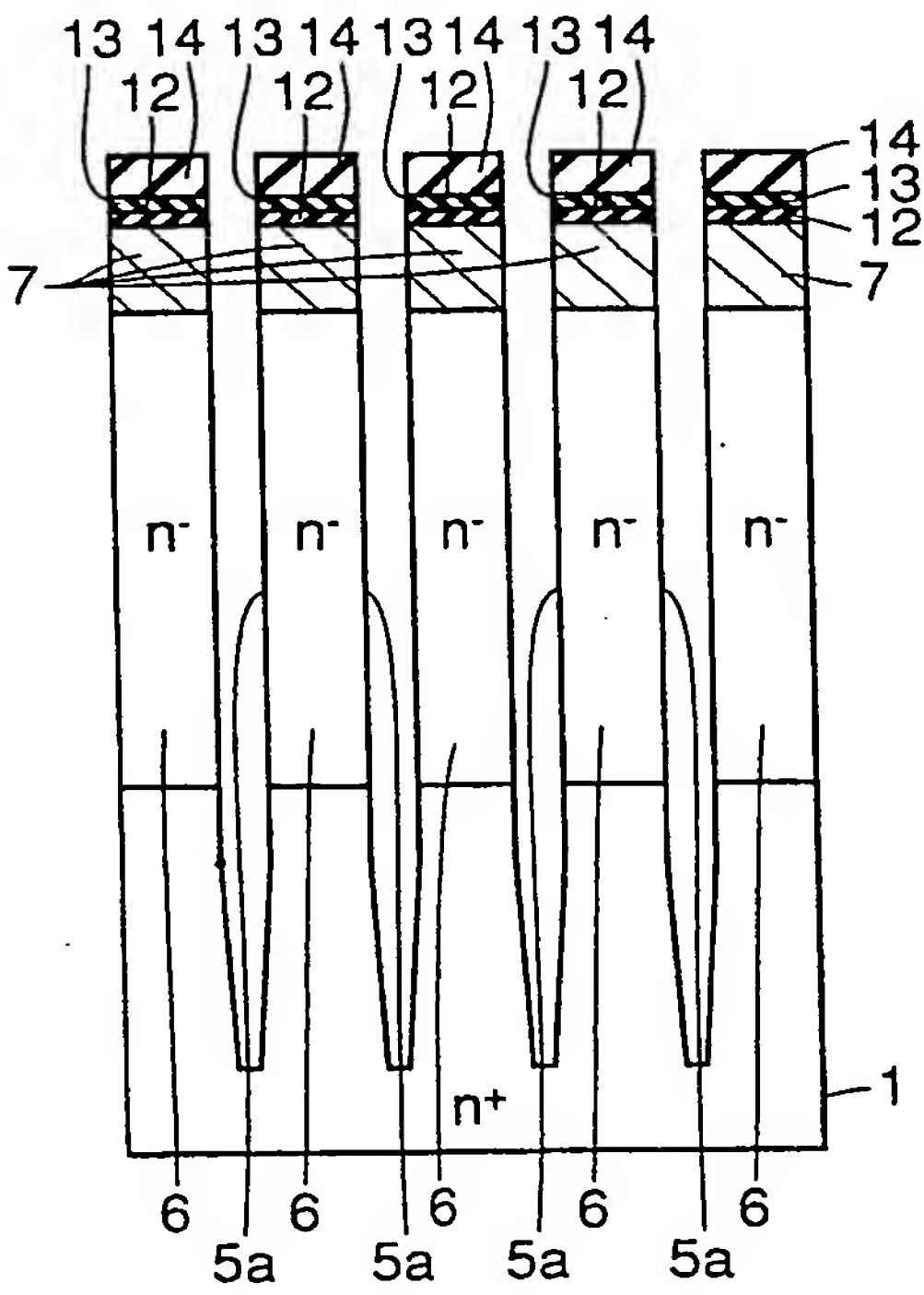


FIG.25

硼素注入

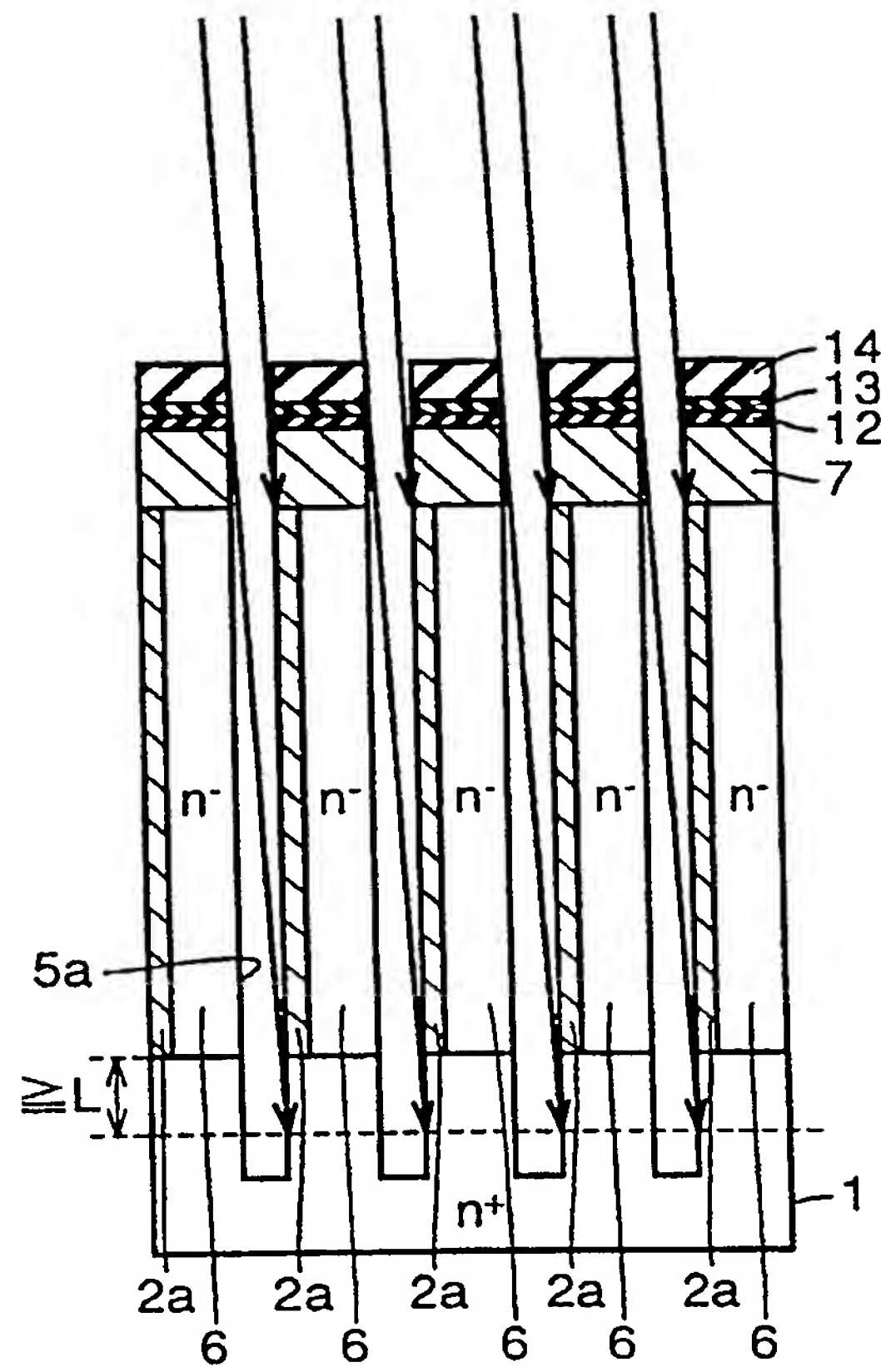


FIG.26

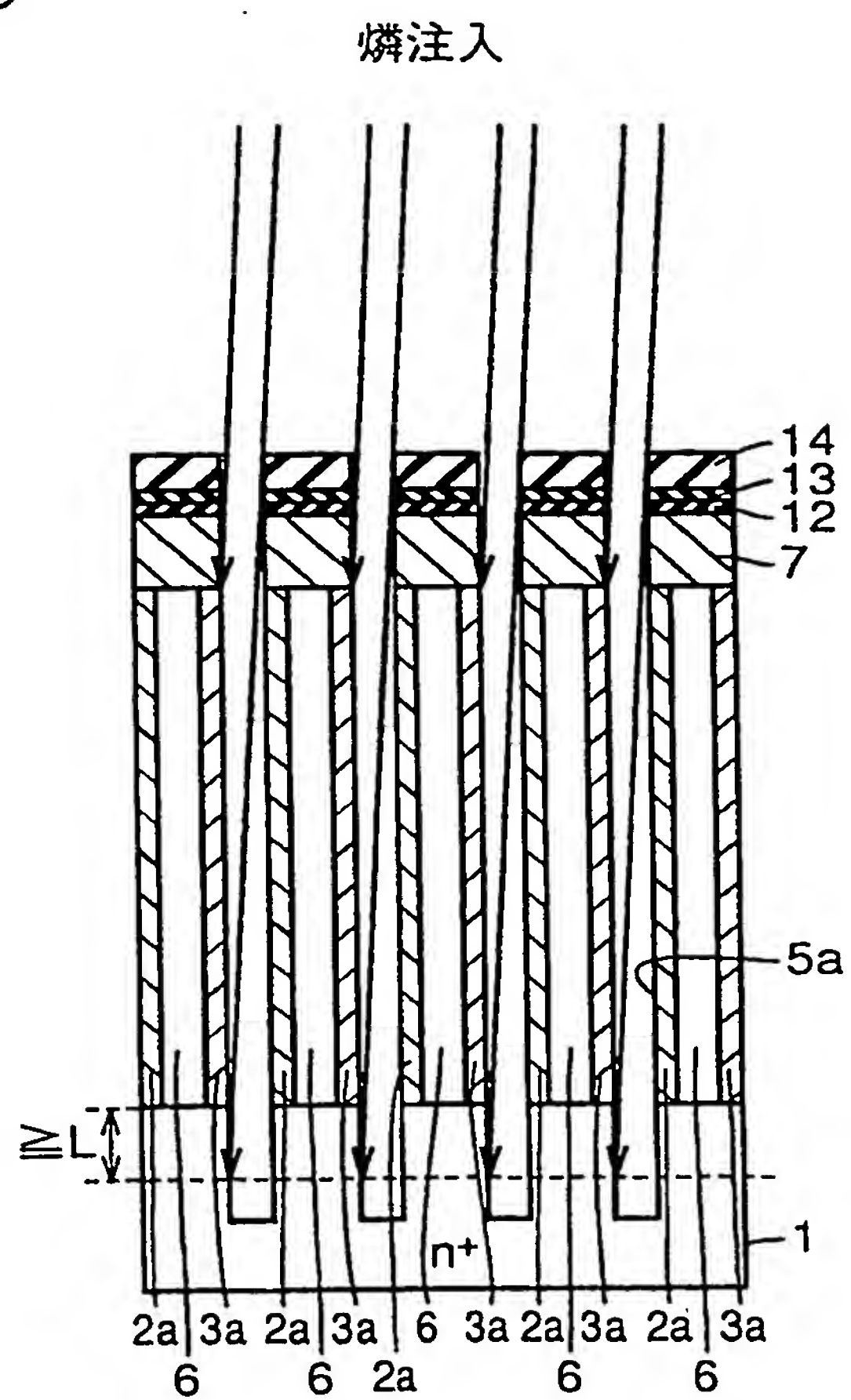


FIG.27

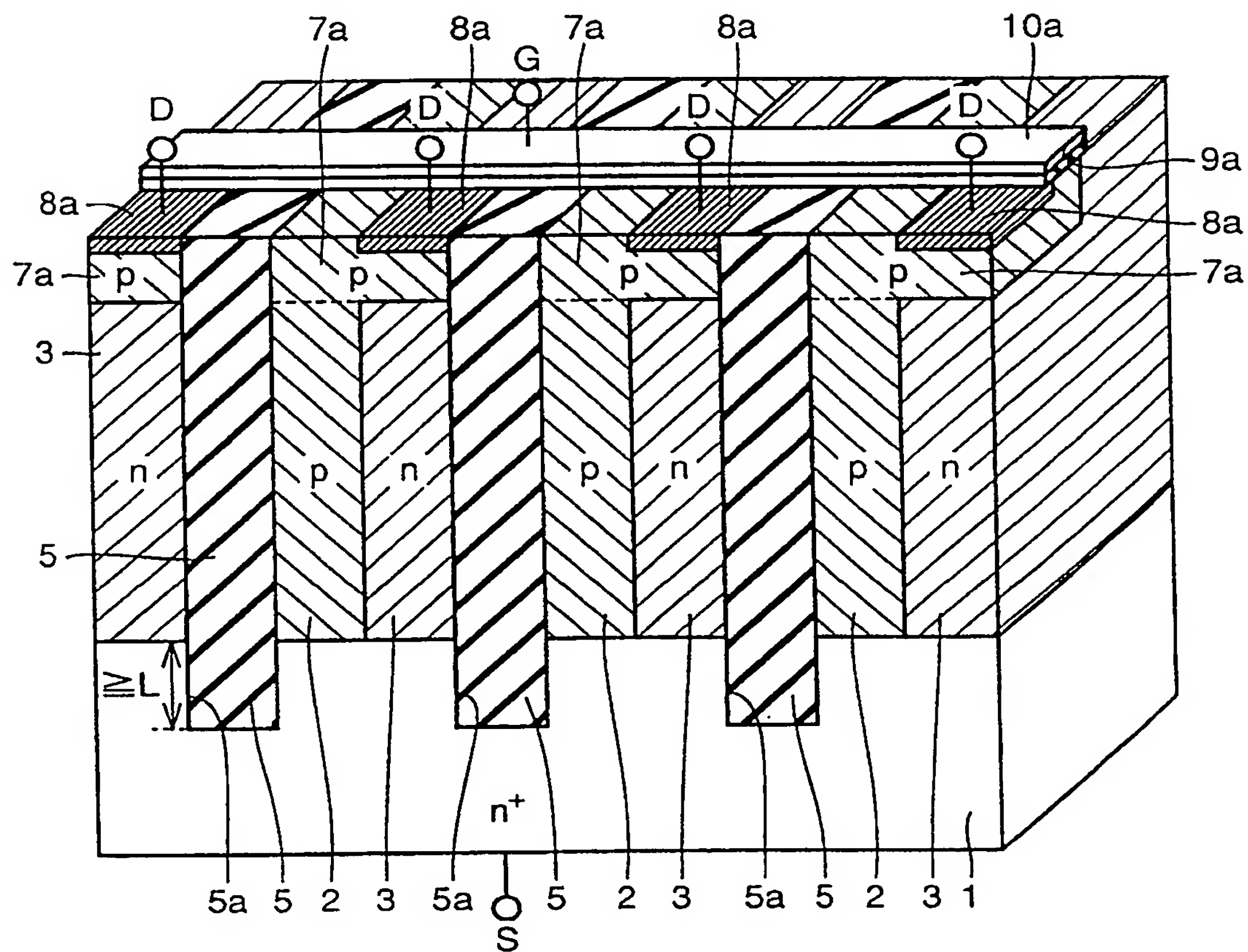


FIG.28

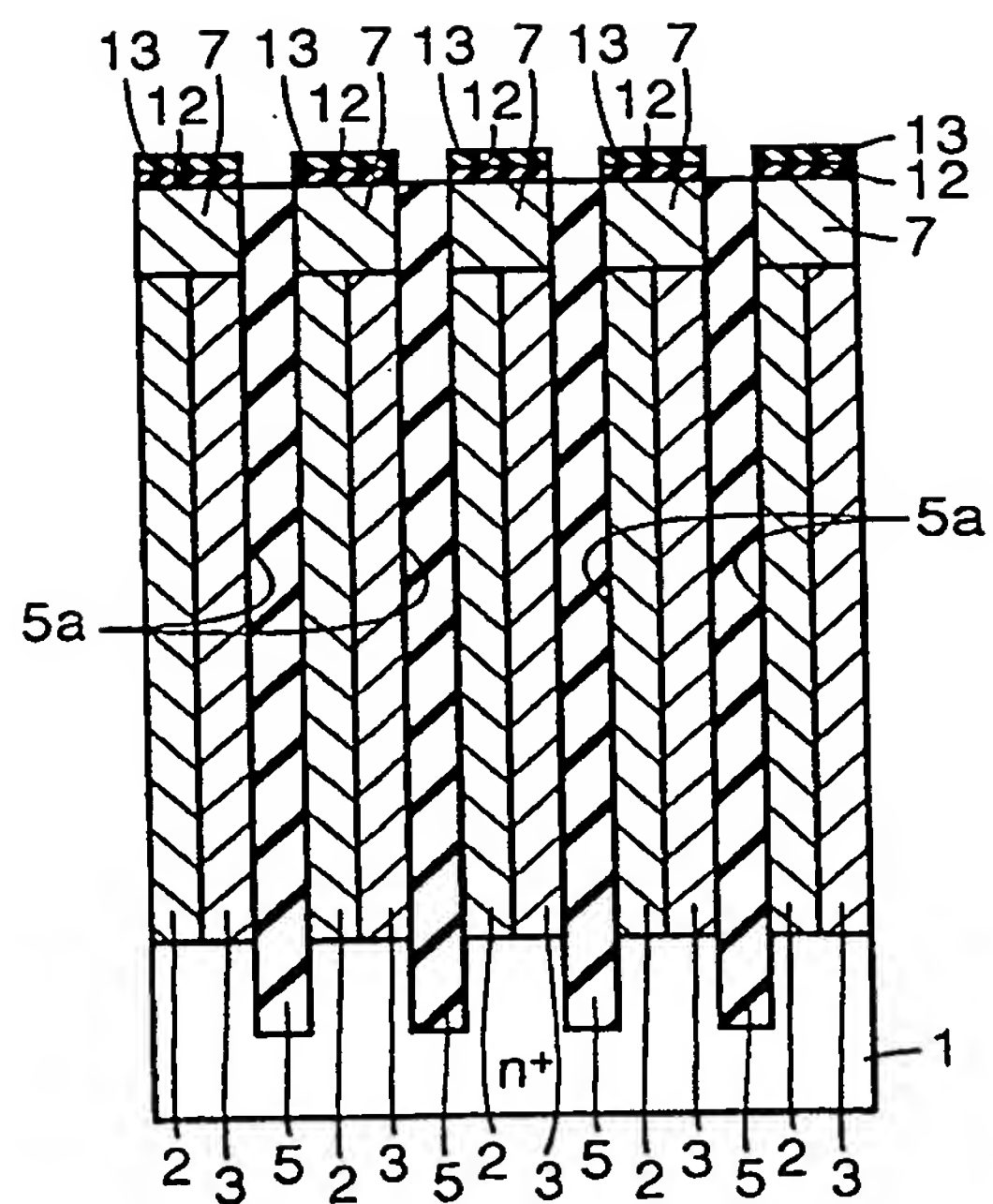


FIG.29

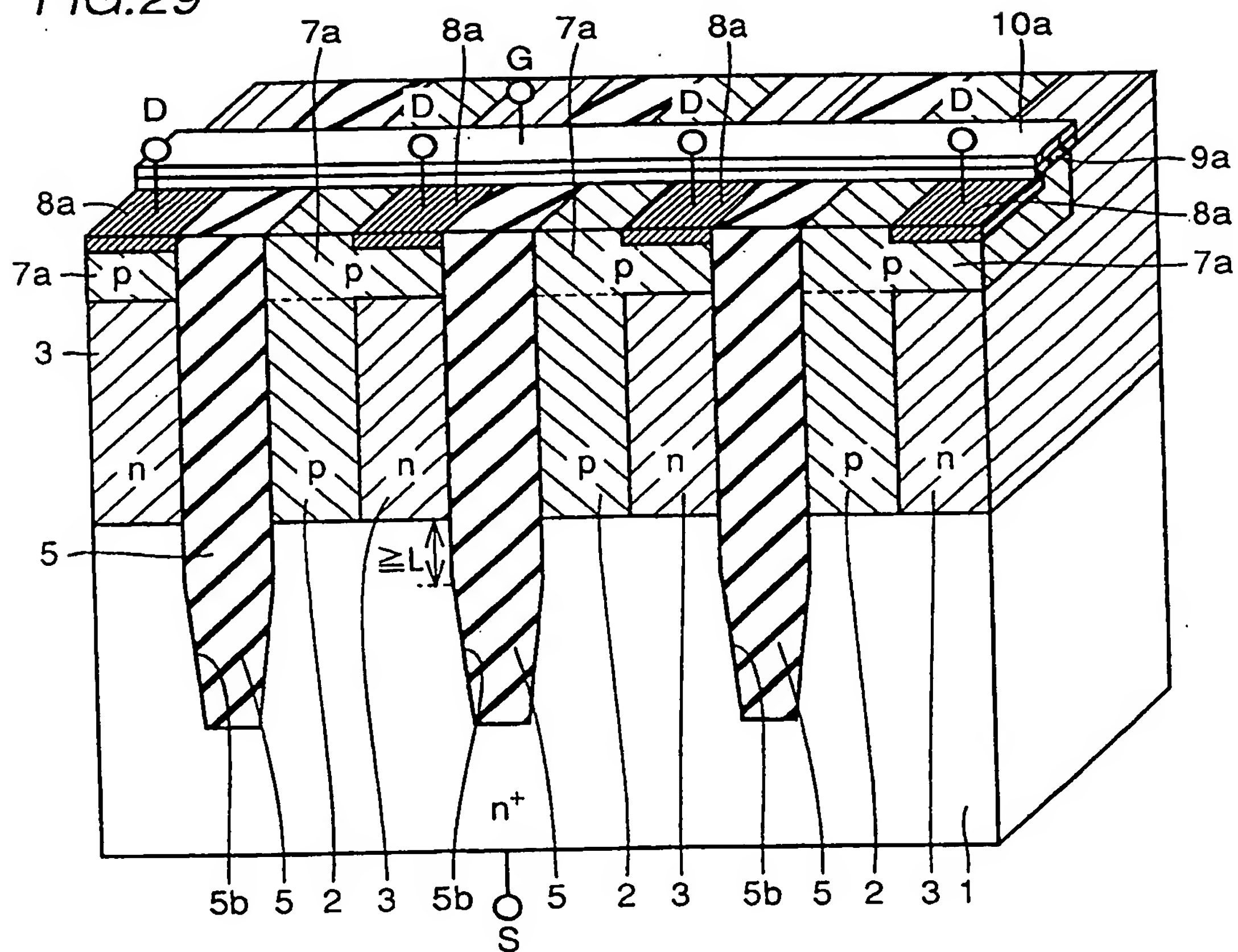


FIG.32

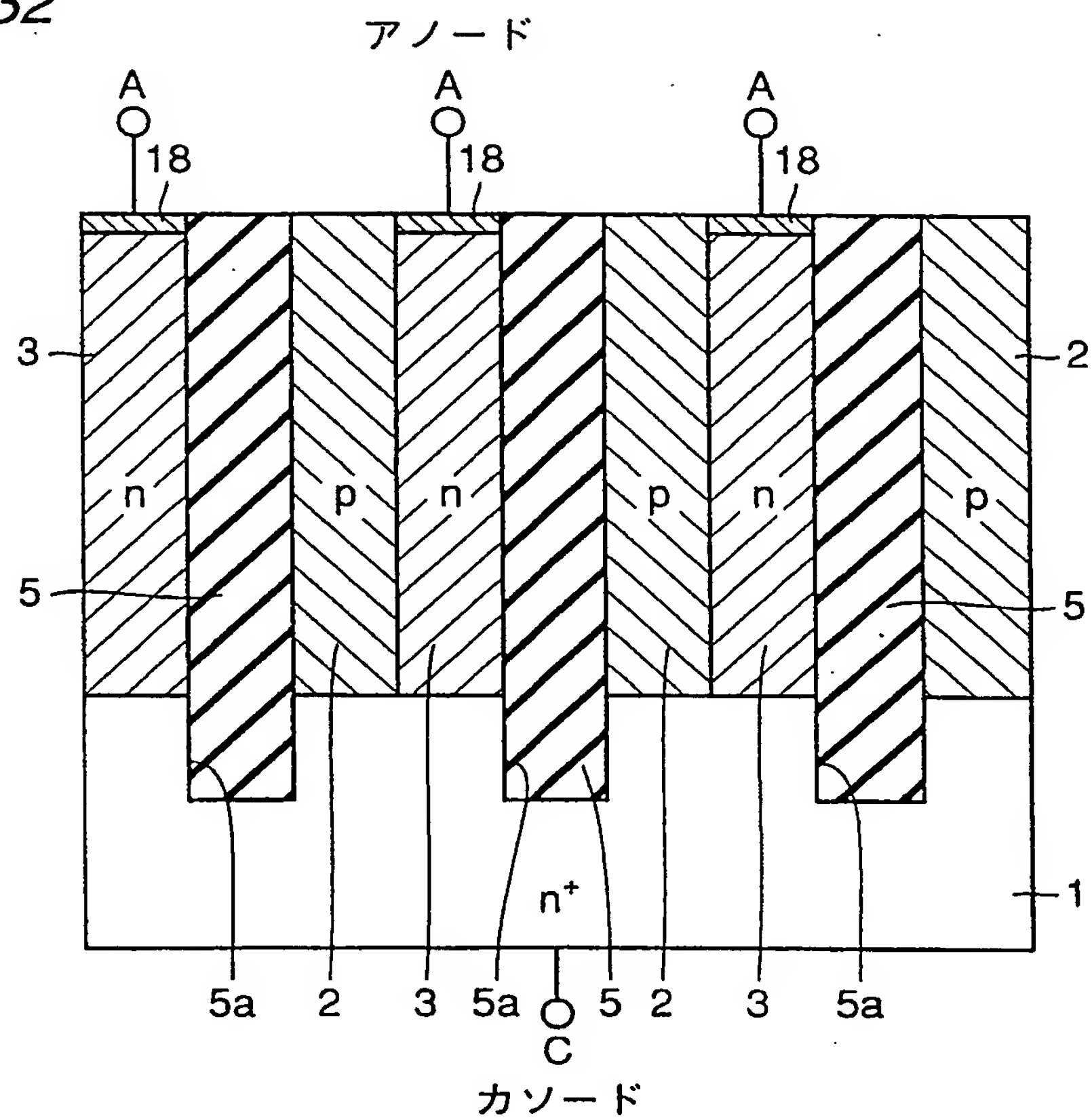


FIG.33

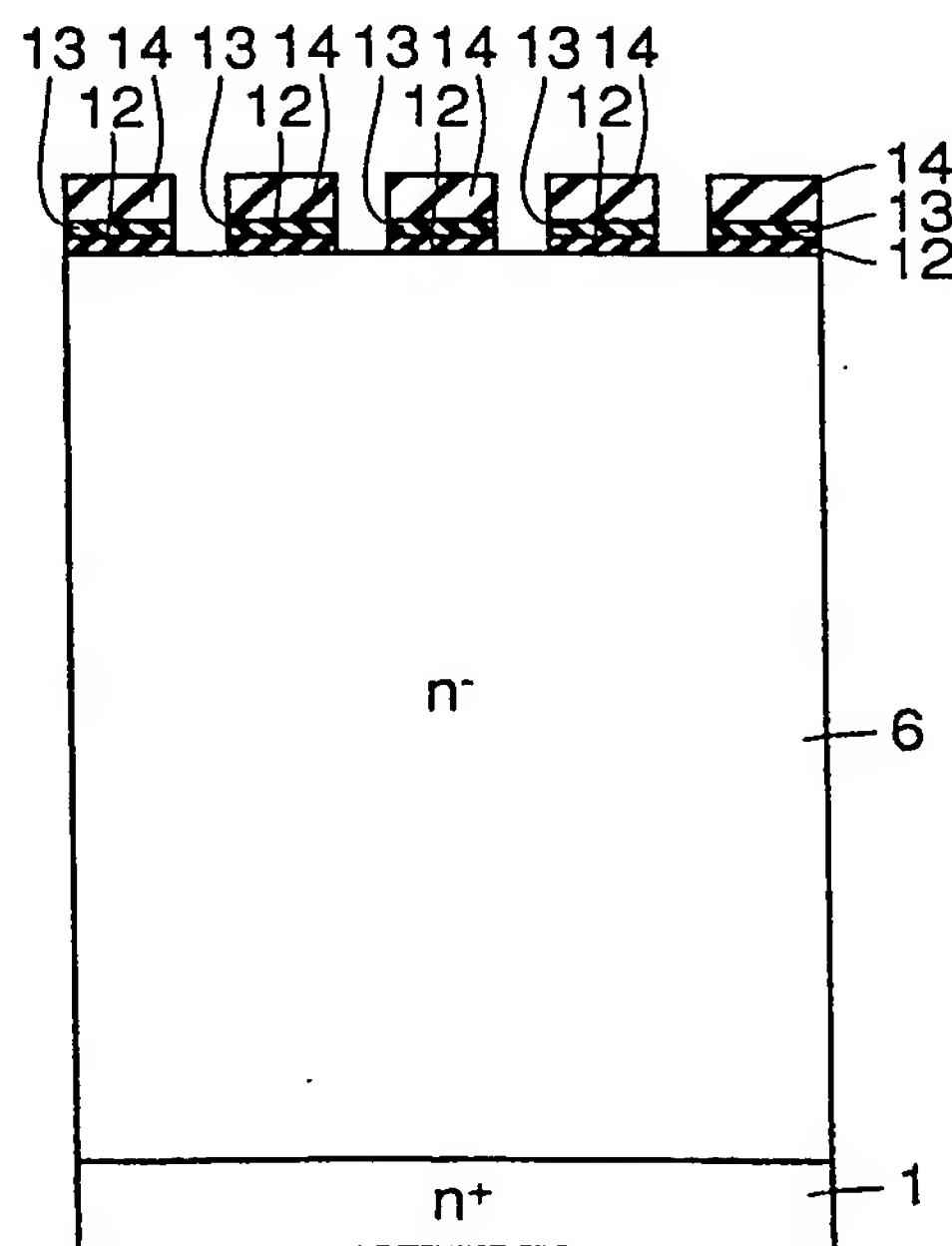


FIG.34

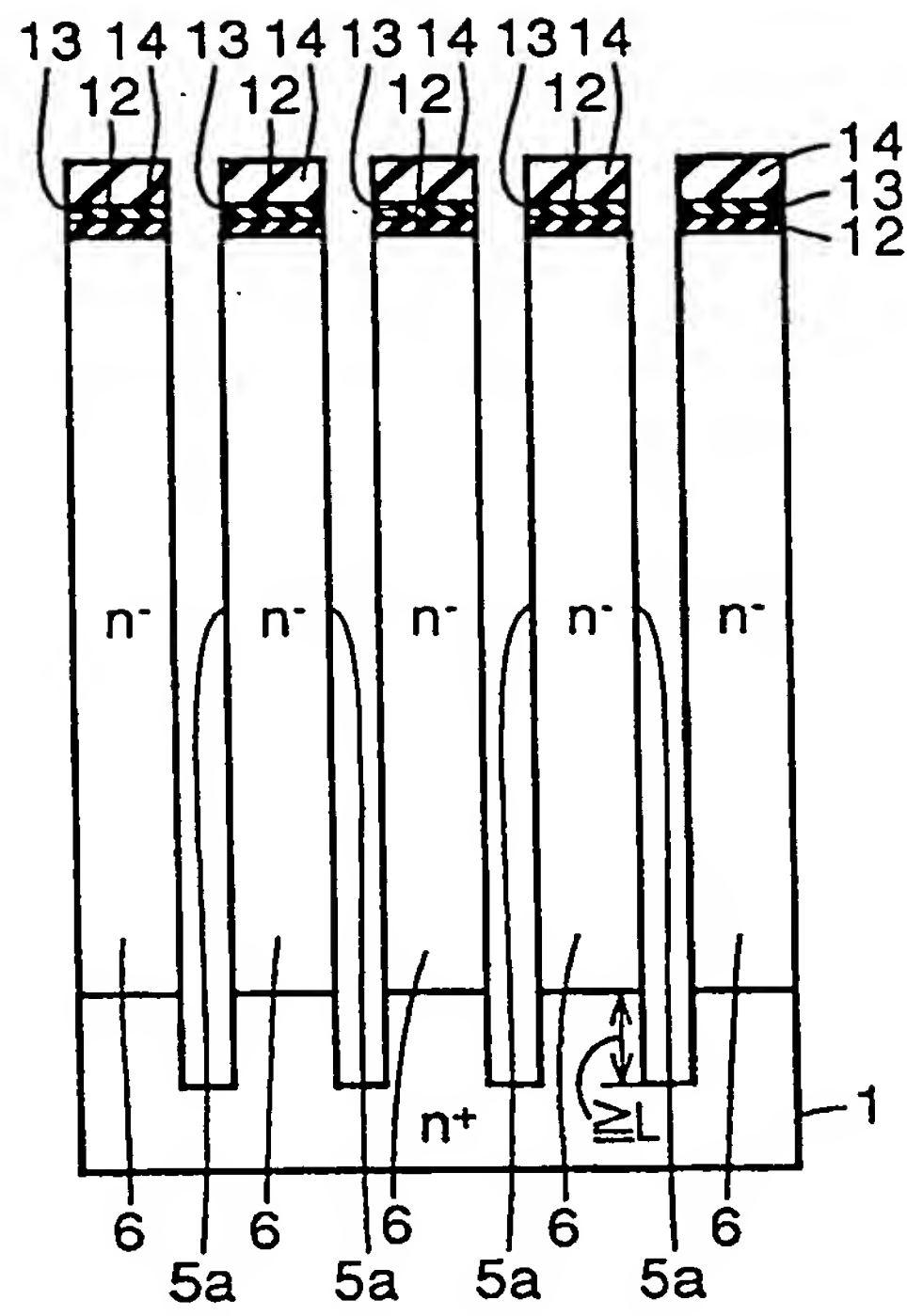


FIG.35

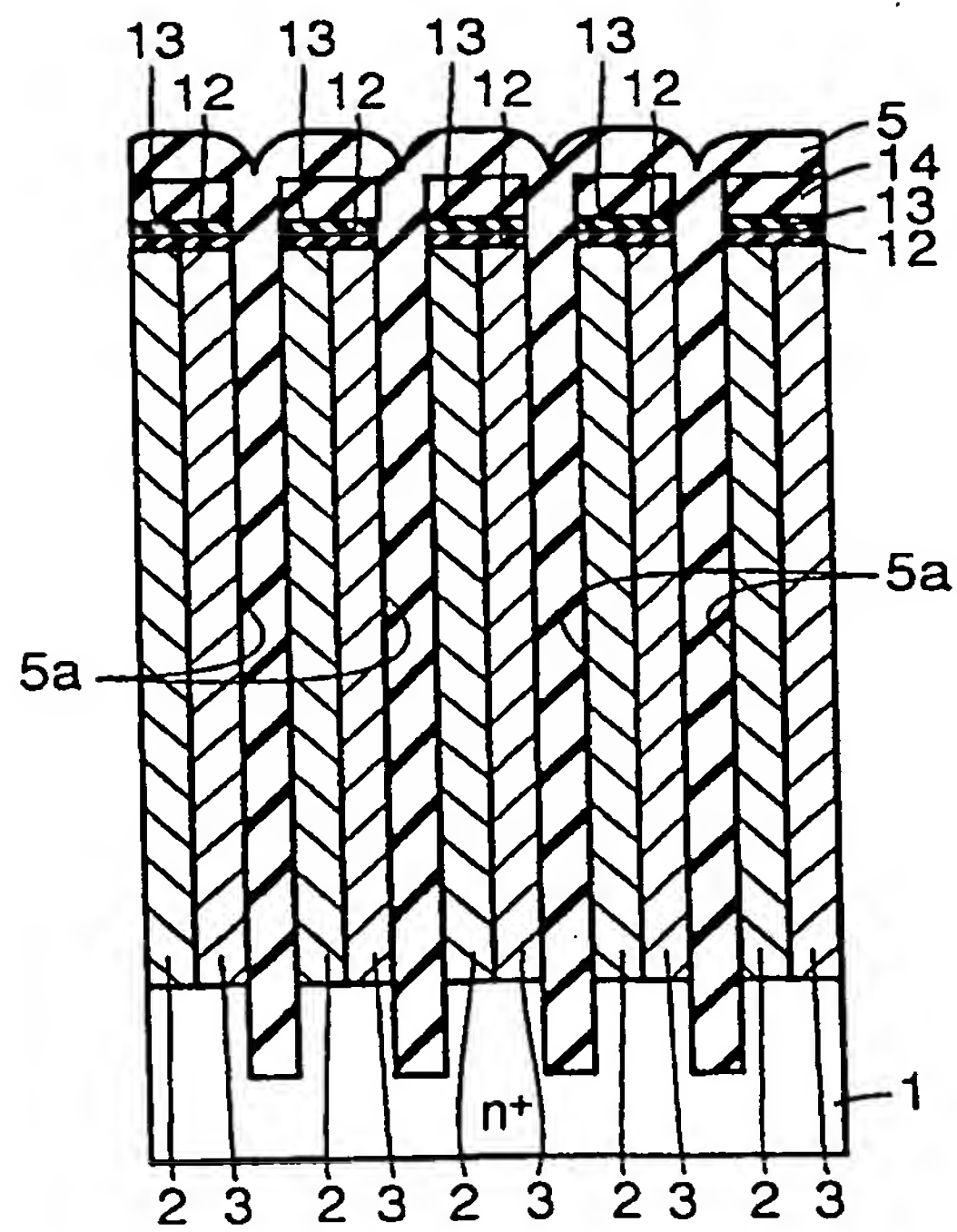


FIG.36

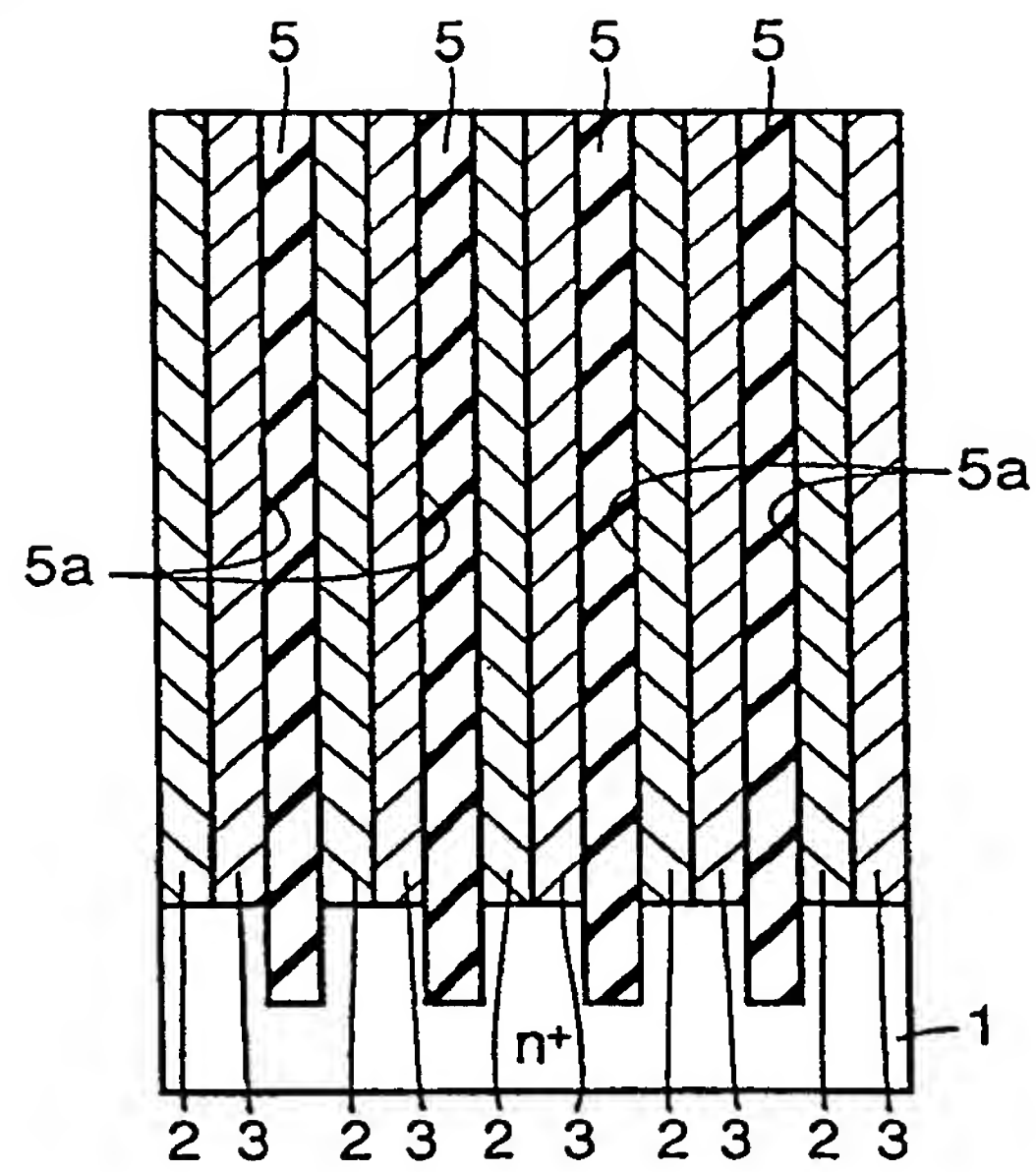


FIG.37

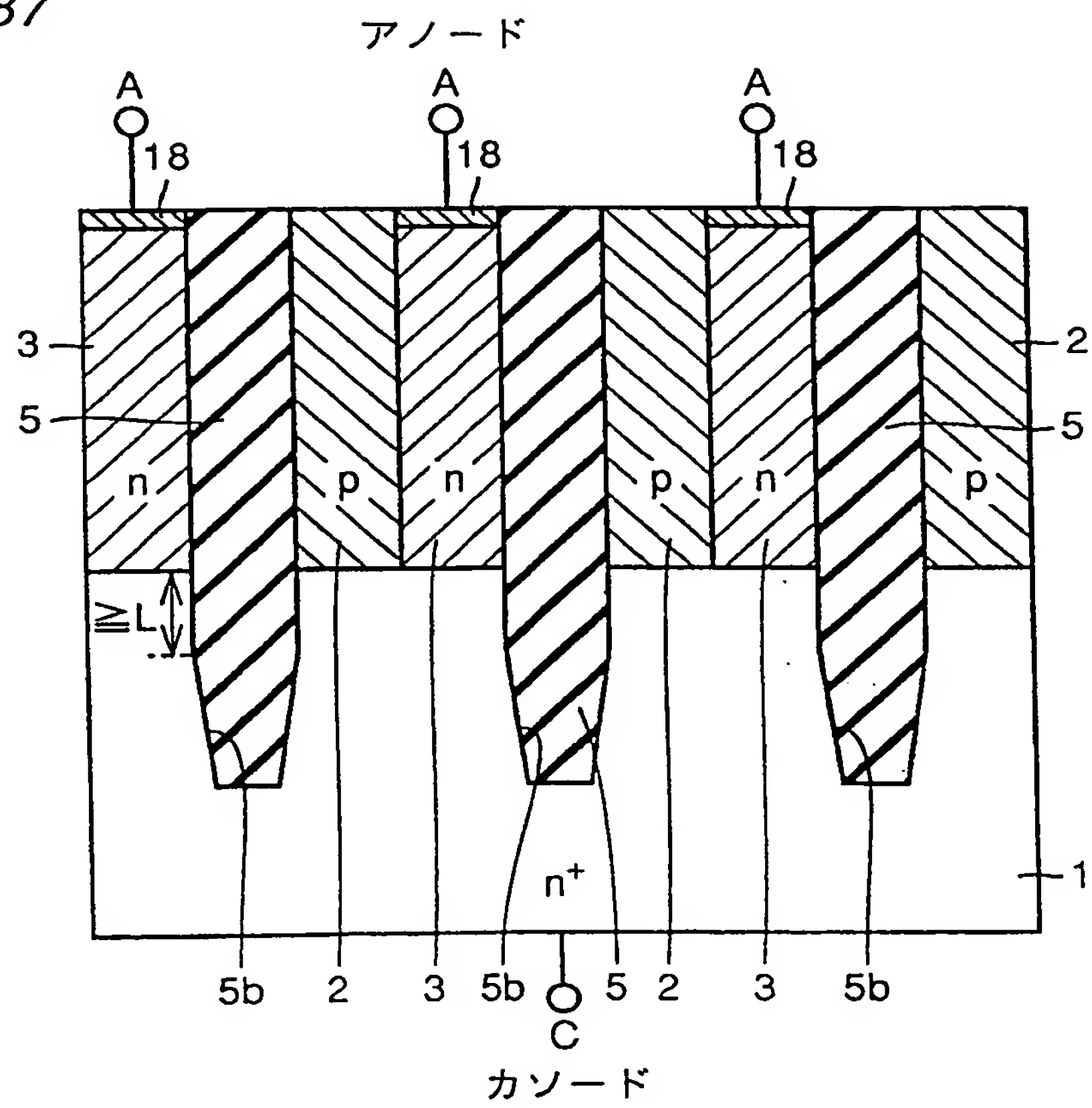


FIG.40

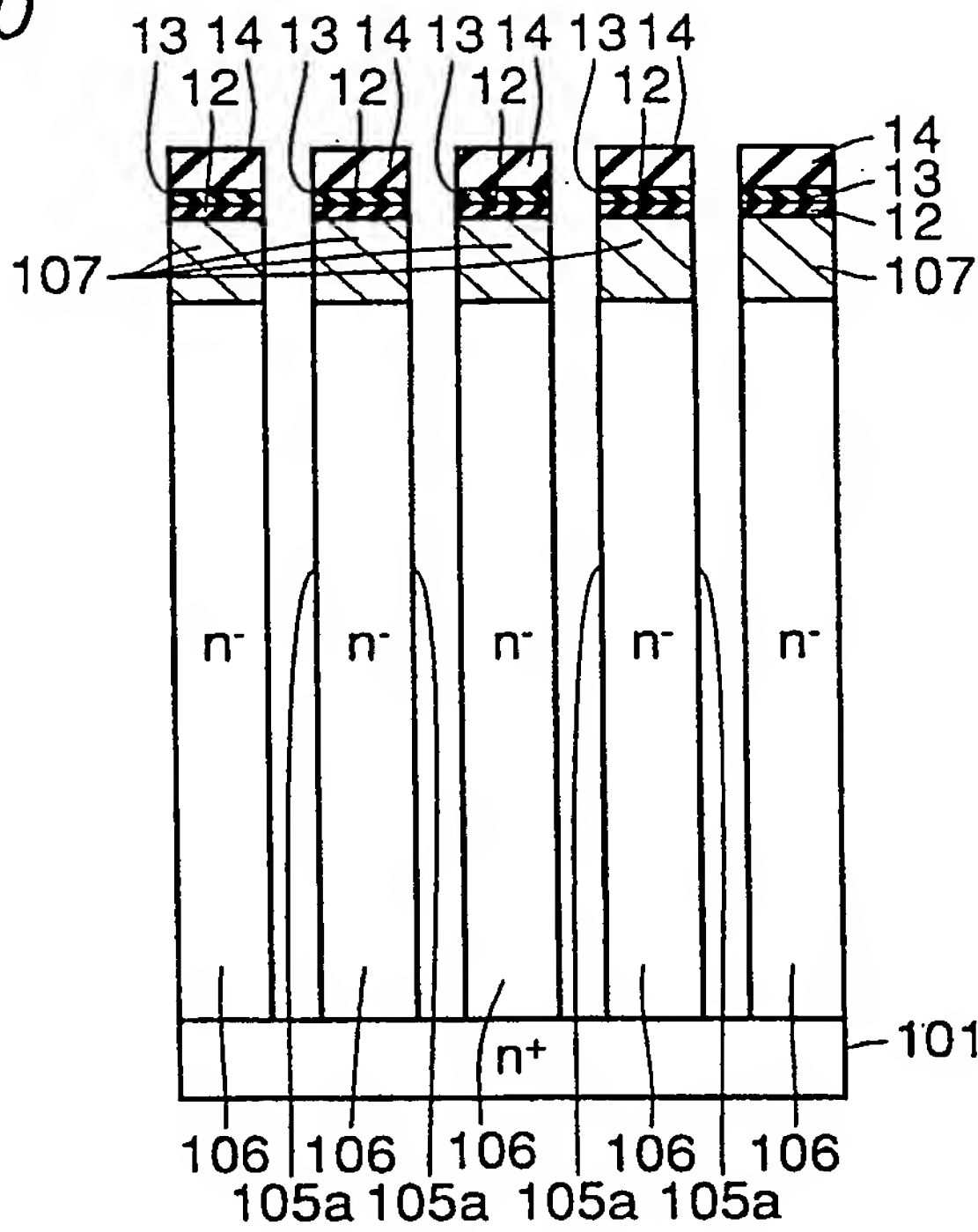


FIG.41

硼素注入

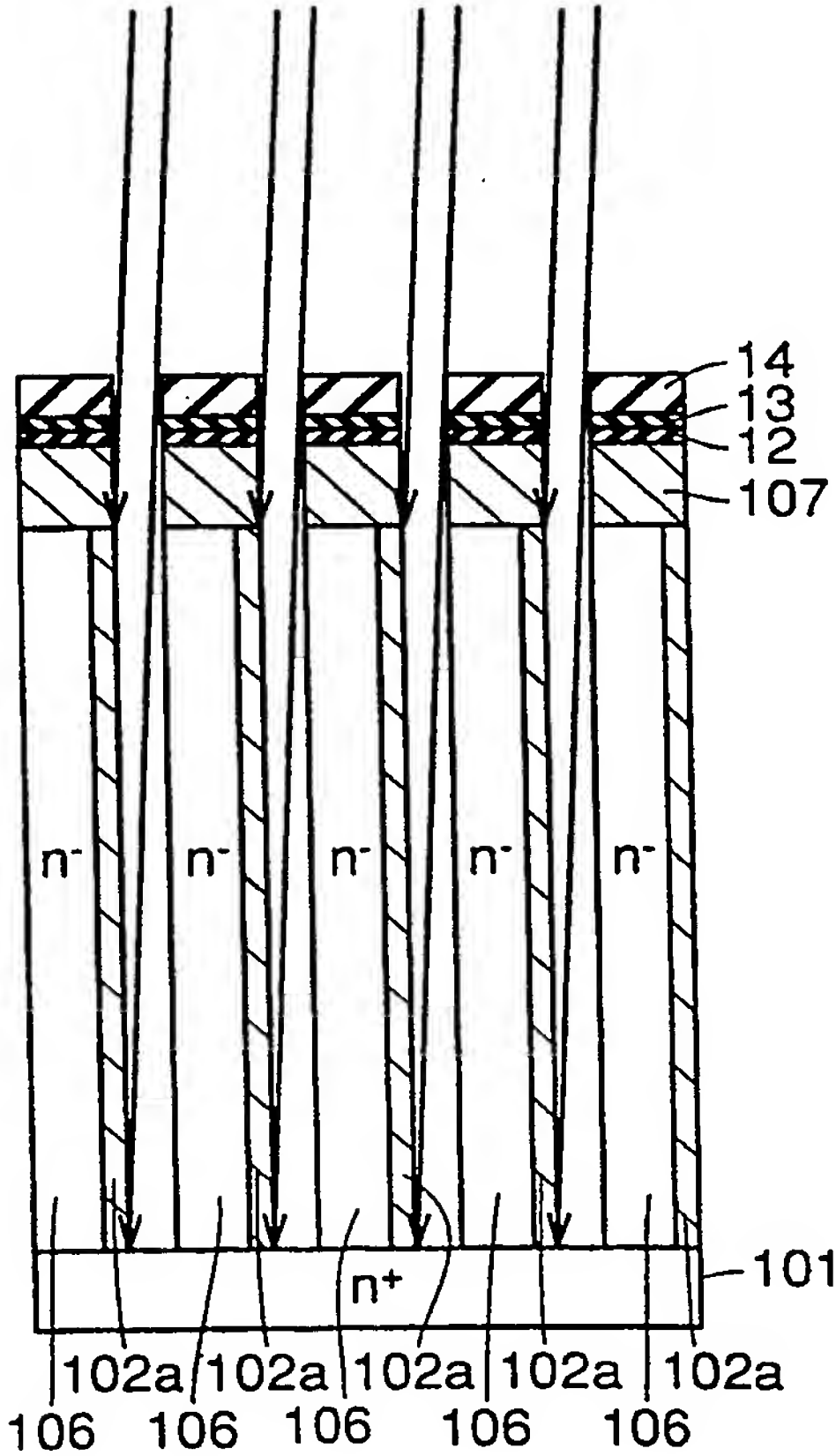


FIG.42

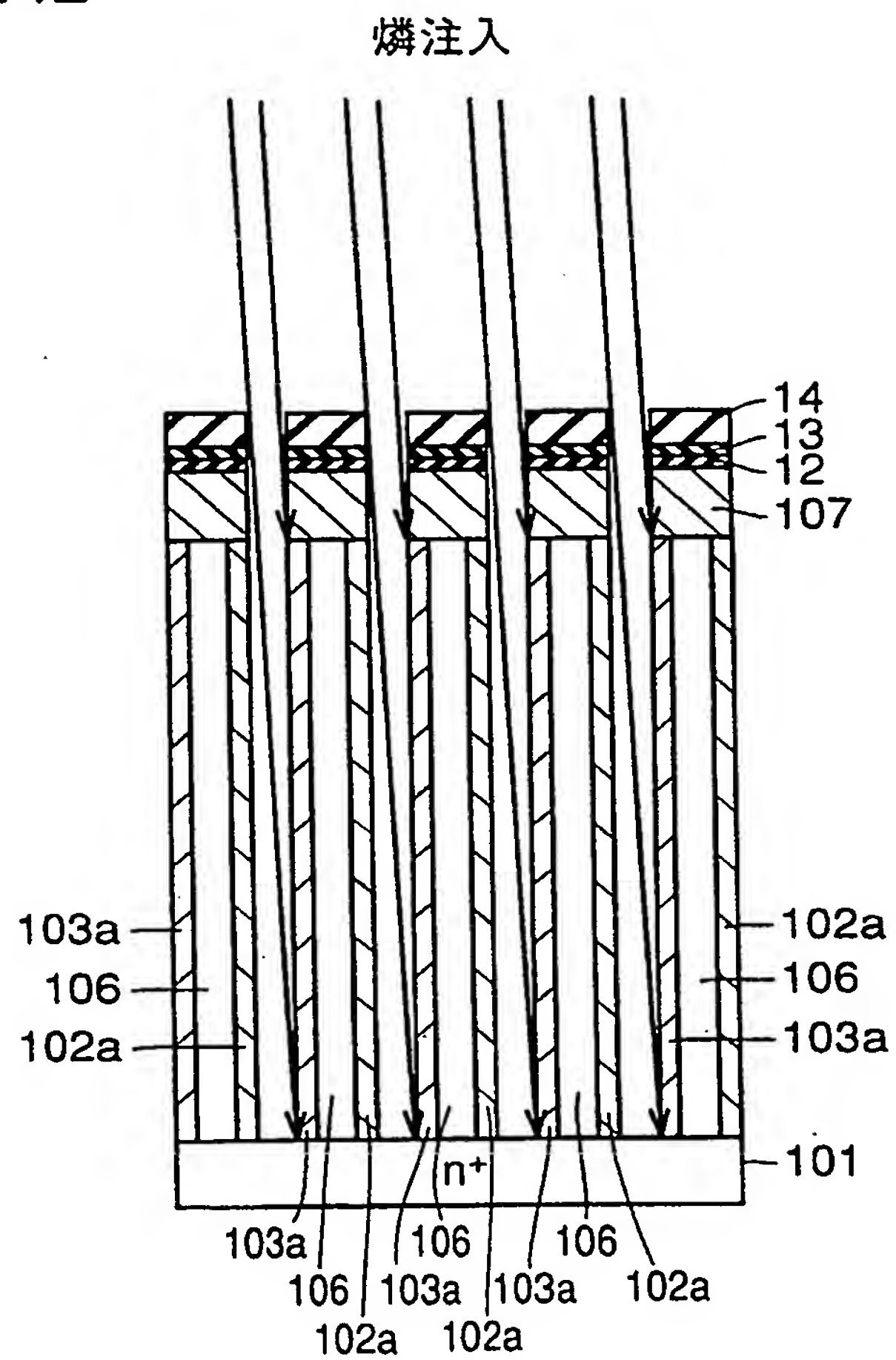


FIG.43

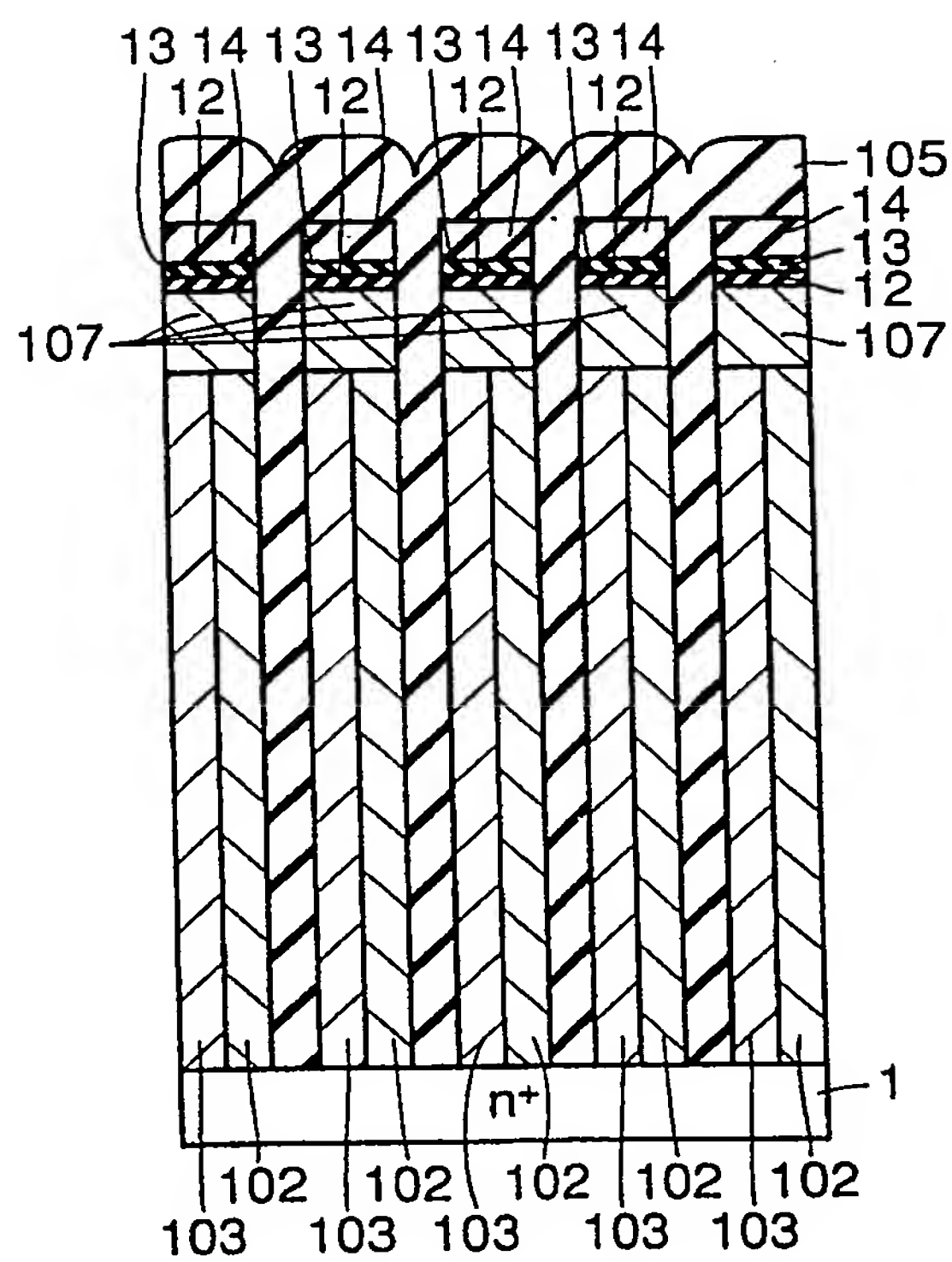


FIG.44

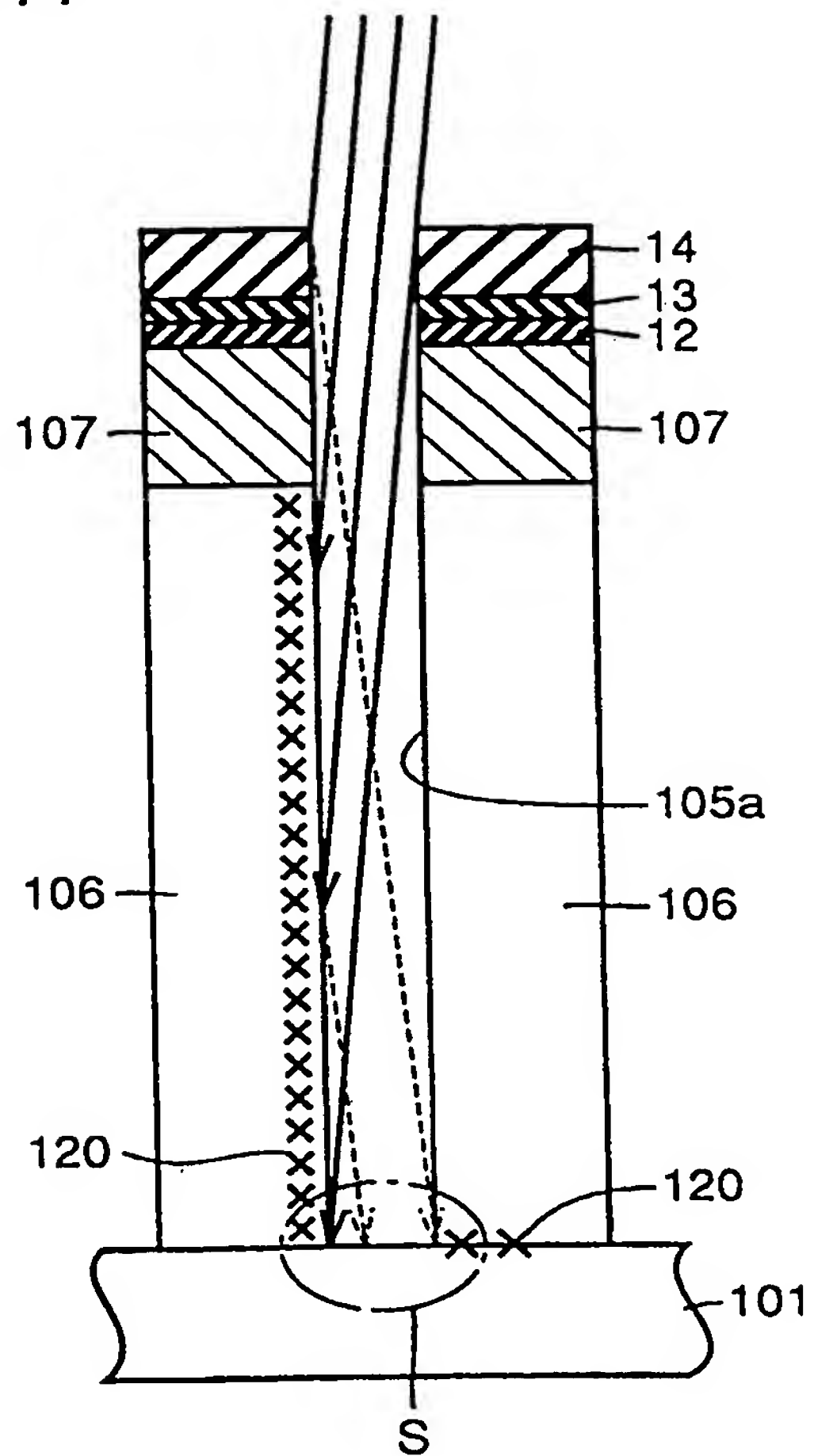
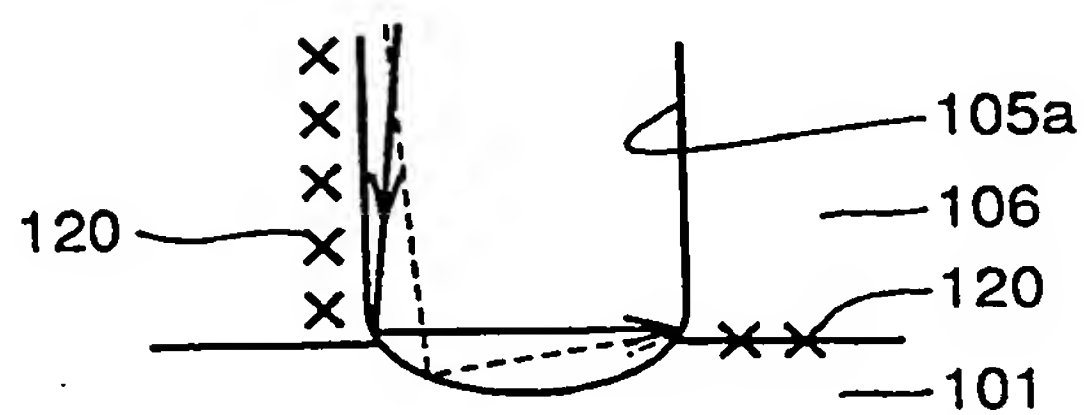


FIG.45



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/03289

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁶ H01L29/78

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁶ H01L29/78, H01L21/336, H01L29/861, H01L21/329, H01L21/265

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1964-1996 Toroku Jitsuyo Shinan Koho 1994-1997
Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 1-164064, A (Hitachi, Ltd.), 28 June, 1989 (28. 06. 89) & US, 5045904, A, Page 3, upper left column, line 15 to lower left column, line 9 ; Fig. 1	1, 3, 5 2, 4, 6-16
A	JP, 63-98124, A (Hitachi, Ltd.), 28 April, 1988 (28. 04. 88) (Family: none) Page 2, lower left column, line 1 to page 3, upper right column, line 16 ; Figs. 1 to 3	9-16
A	JP, 63-296282, A (Sony Corp.), 2 December, 1988 (02. 12. 88) (Family: none) Page 2, upper right column, line 5 to lower right column, line 14 ; Fig. 1	3, 4, 11, 12
A	JP, 8-213617, A (Fuji Electric Co., Ltd.), 20 August, 1996 (20. 08. 96) & GB, 2295052, A Page 4, right column, line 6 to page 5, left column, line 1 ; Fig. 9	3, 5, 11, 13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
20 October, 1998 (20. 10. 98)

Date of mailing of the international search report
27 October, 1998 (27. 10. 98)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/03289

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 2-130911, A (Nissan Motor Co., Ltd.), 18 May, 1990 (18. 05. 90) (Family: none) Page 4, lower right column, line 17 to page 5, upper right column, line 16 ; Fig. 1	6, 14
A	JP, 2-98175, A (NEC Corp.), 10 April, 1990 (10. 04. 90) (Family: none) Page 2, lower left column, line 8 to lower right column, line 1 ; Fig. 2	7, 15

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int.Cl ^o H 01 L 29/78		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int.Cl ^o H 01 L 29/78, H 01 L 21/336, H 01 L 29/861, H 01 L 21/329, H 01 L 21/265		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1964-1996年, 日本国公開実用新案公報 1971-1998年 日本国登録実用新案公報 1994-1997年, 日本国実用新案登録公報 1996-1998年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P, 1-164064, A (株式会社日立製作所), 28. 6月. 1989 (28. 06. 89), & US, 5045904, A, 第3頁左上欄第15行~左下欄第9行及び第1図	1, 3, 5 2, 4, 6-16
A	J P, 63-98124, A (株式会社日立製作所), 28. 4月. 1988 (28. 04. 88), (ファミリーなし), 第2頁左下欄第1行~第3頁右上欄第16行及び第1-3図	9-16
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 20. 10. 98		国際調査報告の発送日 27.10.98
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 安田 雅彦 電話番号 03-3581-1101 内線 3464

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P, 63-296282, A (ソニー株式会社), 2. 12月. 1988 (02. 12. 88), (ファミリーなし), 第2頁右上欄第5行~右下欄第14行及び第1図	3, 4, 11, 12
A	J P, 8-213617, A (富士電機株式会社), 20. 8月. 1996 (20. 08. 96), &GB, 2295052, A, 第4頁右欄第6行~第5頁左欄第1行及び第9図	3, 5, 11, 13
A	J P, 2-130911, A (日産自動車株式会社), 18. 5月. 1990 (18. 05. 90), (ファミリーなし), 第4頁右下欄第17行~第5頁右上欄第16行及び第1図	6, 14
A	J P, 2-98175, A (日本電気株式会社), 10. 4月. 1990 (10. 04. 90), (ファミリーなし), 第2頁左下欄第8行~右下欄第1行及び第2図	7, 15

THIS PAGE BLANK (USPTO)